

KOREAN PATENT ABSTRACT (KR)

REGISTRATION

(51) IPC Code: G11C 11/401

(45) Laid-Open Date: 1 February 1999

(11) Registration No.: P0165908

(24) Registration Date: 21 September 1998

(21) Application No.: P1994-026234

(22) Application Date: 13 October 1994

(65) Publication No.: P1995-012462

(43) Publication Date: 16 May 1995

(30) Priority Number(s): JP19930257328 19931014; JP19940001017 19940110;
JP19940148007 19940629

(73) Applicant(s):

Mitsubishi Electric Corporation (JP), KIDAOKA DAKASHI

(72) Inventor(s):

HIDAKA HIDETO (JP); ASAKURA MIKIO (JP); FUJISHIMA KAZUYASU (JP);
OOISHI TSUKASA (JP); ARIMOTO KAZUTAMI (JP); TOMISHIMA SHIGEKI
(JP); TSUKUDE MASAKI (JP)

(54) Title of the Invention:

Semiconductor Memory Device

Abstract:

Drains of first and second transistors Tr1 and Tr2 are connected to a low level line of an internal circuitry such as a sense amplifier 5 related to determination of a potential in a memory cell. The first transistor Tr1 has its gate diode-connected to a sense drive line 30 and its source grounded. The second transistor Tr2 receives at its gate an internally generated signal (ϕ), and its source is grounded. In the standby state, the potential of the sense drive line is set higher than the low level of said word lines by the threshold voltage V_{thn} of the first transistor Tr1 and used as dummy GND potential V_{ss} , and in the active state, the second transistor Tr2 is rendered conductive so as to prevent floating of the sense drive line 30 from the dummy GND potential V_{ss} .

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
G11C 11/401

(45) 공고일자 1999년02월01일

(11) 등록번호 특0165908

(24) 등록일자 1998년09월21일

(21) 출원번호 특1994-026234

(65) 공개번호 특1995-012462

(22) 출원일자 1994년10월13일

(43) 공개일자 1995년05월16일

(30) 우선권주장 93-257328 1993년10월14일 일본(JP)

94-001017 1994년01월10일 일본(JP)

94-148007 1994년06월29일 일본(JP)

(73) 특허권자 미쓰비시 덴끼 가부시끼가이샤 기다오까 다까시

일본국 도오교도 지요다구 마루노우찌 2쵸메 2-3

(72) 발명자

히다까 히데오

일본국 효고 664 이다미시 미즈하라 4쵸메 1반지 미쓰비시 덴끼 가부시끼가

이샤 울트라 엘에스아이가이하쥬겐규쇼나이

아사쿠라 미끼오

일본국 효고 664 이다미시 미즈하라 4쵸메 1반지 미쓰비시 덴끼 가부시끼가

이샤 울트라 엘에스아이가이하쥬겐규쇼나이

후지시마 가주야수

일본국 효고 664 이다미시 미즈하라 4쵸메 1반지 미쓰비시 덴끼 가부시끼가

이샤 울트라 엘에스아이가이하쥬겐규쇼나이

오오이시 쥬까사

일본국 효고 664 이다미시 미즈하라 4쵸메 1반지 미쓰비시 덴끼 가부시끼가

이샤 울트라 엘에스아이가이하쥬겐규쇼나이

아리모토 가주따미

일본국 효고 664 이다미시 미즈하라 4쵸메 1반지 미쓰비시 덴끼 가부시끼가

이샤 울트라 엘에스아이가이하쥬겐규쇼나이

도미시마 시게끼

일본국 효고 664 이다미시 미즈하라 4쵸메 1반지 미쓰비시 덴끼 가부시끼가

이샤 울트라 엘에스아이가이하쥬겐규쇼나이

쥬꾸데 마사끼

일본국 효고 664 이다미시 미즈하라 4쵸메 1반지 미쓰비시 덴끼 가부시끼가

이샤 울트라 엘에스아이가이하쥬겐규쇼나이

(74) 대리인

김영길

심사관 : 김중천

(54) 반도체 기억장치

요약

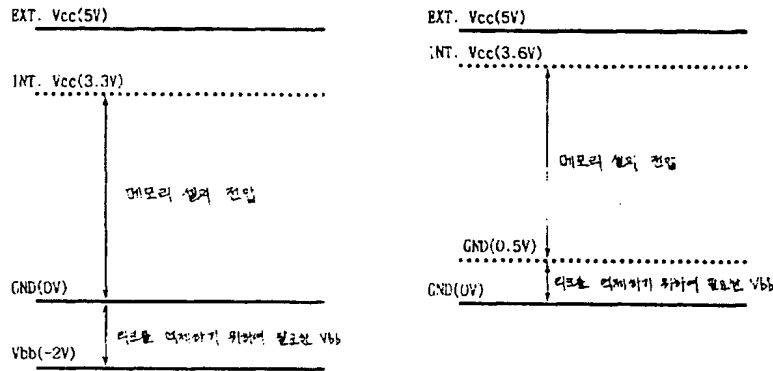
제1 및 제2트랜지스터(Tr1, Tr2)의 드레인은 메모리셀의 전위의 결정에 관계되는 센스증폭기(5)와 같은 내부회로의 로우레벨 라인에 접속된다.

제1트랜지스터(Tr1)는 게이트가 센스 구동선(30)에 다이오드-접속되며, 소스는 접지된다.

제2트랜지스터(Tr2)는 게이트에서 내부발생신호(Φ)를 받으며 소스가 접지된다.

스탠바이시에는, 센스 구동선의 전위는 상기 워드선의 로우레벨보다 제1트랜지스터(Tr1)의 한계전압 V_{thn} 만큼 높게 설정되고 더미 GND 저위 $V_{ss'}$ 로 사용되며, 활성화상태에서는, 제2트랜지스터(Tr2)가 도통되어 센스 구동선(30)의 더미 GND 전위 $V_{ss'}$ 로부터 부상하는 것을 방지한다.

대표도



명세서

[발명의 명칭]

반도체 기억장치

[도면의 간단한 설명]

제1(a), (b)도는 종래기술과 본 발명의 개념을 비교하여 나타낸 도면.

제2도는 본 발명의 제1특징의 제1실시예를 나타내는 개략도.

제3도는 제2도의 회로동작을 나타낸 타임 차트.

제4도는 본 발명의 제1특징에 따른 제2실시예를 나타내는 개략도.

제5도는 본 발명의 제2특징에 따른 제1실시예를 나타내는 개략도.

제6도는 본 발명의 제2특징에 따른 제2실시예를 나타내는 개략도.

제7도는 본 발명의 제2특징에 따른 제3실시예를 나타내는 개략도.

제8도는 본 발명의 제2특징에 따른 제4실시예를 나타내는 개략도.

제9도는 제8도에 표시된 회로동작을 나타내는 타임 차트.

제10도는 본 발명의 제3특징에 따른 제1실시예를 나타내는 개략도.

제11도는 제10도에 표시된 실시예의 동작을 나타내는 타임 차트.

제12도는 본 발명의 제3특징에 따른 제2실시예를 나타내는 개략도.

제13도는 제12도의 실시예의 동작을 나타내는 타임 차트.

제14도는 본 발명의 제3특징에 따른 제3실시예의 동작을 나타내는 타임 차트.

제15도는 본 발명의 제4특징에 따른 제1실시예를 나타내는 개략도.

제16도는 제15도에 표시된 스위치 회로의 일예를 나타내는 도면.

제17도는 제15도의 실시예의 동작을 나타내는 타임 차트.

제18도는 본 발명의 제4특징에 따른 제2실시예를 나타내는 블록도.

제19도는 제18도에 표시된 스위치 회로의 일예를 나타내는 개략도.

제20도는 제18도에 표시된 실시예의 동작을 나타내는 타임 차트.

제21도는 본 발명의 제4특징에 따른 제3실시예를 나타내는 타임 차트.

제22도는 본 발명의 제5특징에 따른 제1실시예를 나타내는 개략도.

제23도는 본 발명의 제6특징에 따른 제1실시예를 나타내는 개략도.

제24도는 제23도의 실시예의 동작을 나타내는 타임 차트.

제25도는 본 발명의 제6특징에 따른 제2실시예를 나타내는 개략도.

제26도는 본 발명의 제6특징에 따른 제3실시예를 나타내는 개략도.

제27도는 제26도의 실시예의 동작을 나타내는 타임 차트.

제28도는 본 발명의 제6특징에 따른 제4실시예를 나타내는 개략도.

제29도는 본 발명의 제6특징에 따른 제5실시예를 나타내는 개략도.
 제30도는 본 발명의 제6특징에 따른 제6실시예를 나타내는 개략도.
 제31도는 본 발명의 제6특징에 따른 제7실시예를 나타내는 개략도.
 제32도는 본 발명의 제6특징에 따른 제8실시예를 나타내는 개략도.
 제33도는 제32도의 전류 센스를 비교회로로서 사용하는 실시예를 나타내는 개략도.
 제34도는 전류 센스의 다른 예를 나타내는 개략도.
 제35도는 전류 센스의 또 다른 예를 나타내는 개략도.
 제36도는 히스테리시스 특성을 가지는 전류 센스의 개략도.
 제37도는 제6특징에 따른 본 발명의 메모리셀의 데이터 유지시간을 테스트 하기 위한 테스트 회로에 적용된 예를 나타내는 블록도.
 제38도는 본 발명의 제6특징에 따른 본 발명이 각 메모리블록에 적용되는 예를 나타내는 도면.
 제39도는 제6특징에 따른 본 발명이 각 메모리 블록에 적용되는 다른 예를 나타낸 도면.
 제40도는 제6특징에 따른 본 발명이 각 메모리 블록에 적용되는 또 다른 예를 나타내는 도면.
 제41도는 제6특징에 따른 본 발명이 각 메모리 블록에 적용되는 더욱 다른 예를 나타내는 도면.
 제42도는 본 발명의 제7특징에 따른 제1실시예를 나타내는 개략도.
 제43도는 제42도에 표시된 실시예의 동작을 나타내는 타임 차트.
 제44도는 메모리셀의 서브쓰레쉬홀드 전류가 흐르는 경로를 나타내는 도면.
 제45도는 본 발명의 제7특징에 따른 제1실시예의 단면도.
 제46도는 로우 프리디코더 출력 X_i, j, k 를 발생하는 회로를 나타내는 도면.
 제47도는 마스터 로우 디코더 신호 ϕ_{xi} 를 발생하는 회로를 나타내는 도면.
 제48도는 워드선 구동신호 발생회로를 나타내는 개략도.
 제49도는 칼럼 SFU/L 신호 발생회로를 나타내는 도면.
 제50도는 CSL 신호를 발생하기 위한 회로를 나타내는 도면.
 제51도는 본 발명의 제7특징에 따른 제2실시예를 나타내는 개략도.
 제52도는 제51도에 표시된 실시예의 동작을 나타내는 타임 차트.
 제53도는 본 발명의 제7특징에 따른 제3실시예를 나타내는 개략도.
 제54도는 제53도에 표시된 실시예의 동작을 나타내는 타임 차트.
 제55도는 본 발명의 제7특징에 따른 제4실시예를 나타내는 개략도.
 제56도는 제55도에 표시된 실시예의 동작을 나타내는 타임 차트.
 제57도는 본 발명의 제8특징에 따른 원리를 설명하는 도면.
 제58도는 제8특징에 따른 본 발명의 워드선 서브쓰레쉬홀드 리크전류를 나타내는 도면.
 제59도는 본 발명의 제8특징에 따른 제1실시예를 나타내는 개략도.
 제60도는 제59도에 표시된 실시예의 IC 동작전압을 나타내는 도면.
 제61도는 제59도에 표시된 실시예의 기준전압의 변화를 나타내는 도면.
 제62도는 제59도에 표시된 기준전압을 발생하기 위한 기준전압 발생회로의 일예를 나타내는 전기 회로도.
 제63도는 제62도에 표시된 기준전압 발생회로의 개량을 나타내는 도면.
 제64도는 제62도에 표시된 기준전압 발생회로의 다른 개량예를 나타내는 도면.
 제65도는 제64도의 기준전압 발생회로의 동작을 나타내는 파형도.
 제66도는 기준전압 발생회로의 또 다른 예를 나타내는 도면.
 제67도는 기준전압 발생회로의 더욱 다른 예를 나타내는 도면.
 제68도는 칩을 사용하지 않을 때, 리프레시 동작에서의 소비전력이 감소하는 예를 나타내는 개략도.
 제69도는 제68도의 실시예의 동작을 나타내는 타임 차트.
 제70도는 제68도의 실시예의 동작을 나타내는 타임 차트.
 제71도는 칩을 사용하지 않을 때 기판전위 발생회로와 승압전압 발생회로의 동작이 제어되는 예를 나타내는 도면.

제72도는 기판전위 발생회로의 일예를 나타내는 도면.
 제73도는 승압전압 발생회로의 일예를 나타내는 도면.
 제74도는 제8특징에 따른 발명이 적용될 때의 LSI의 개략도.
 제75도는 본 발명의 제9특징에 따른 제1실시예를 나타내는 도면.
 제76도는 제75도에 표시된 기준전압 V_{ref} 과 게이트전압 V_p 을 발생 하기 위한 회로의 개략도.
 제77도는 제76도에 표시된 저항을 트랜지스터로 교체한 예를 표시하는 도면.
 제78도는 제75도에 표시된 실시예의 개량예를 나타내는 도면.
 제79도는 본 발명의 제9특징에 따른 다른 실시예를 나타내는 도면.
 제80도는 제78도에 표시된 실시예의 개량예를 나타내는 도면.
 제81도는 제80도에 표시된 예의 개량예를 나타내는 도면.
 제82도는 본 발명의 제10특징에 따른 제1실시예를 나타내는 개략 블록도.
 제83도는 제82도에 표시된 실시예의 동작을 나타내는 타임 차트.
 제84도는 본 발명의 제10특징에 따른 제2실시예를 나타내는 블록도.
 제85도는 제84도에 표시된 실시예의 더미 GND 레벨 발생회로를 나타내는 개략도.
 제86도는 본 발명의 제10특징에 따른 제3실시예를 나타내는 개략 블록도.
 제87도는 본 발명의 제10특징에 따른 제4실시예를 나타내는 개략 블록도.
 제88도는 제87도의 실시예의 동작을 나타내는 타임 차트.
 제89도는 본 발명의 제10특징에 따른 제5실시예를 나타내는 개략 블록도.
 제90도는 제89도에 표시된 실시예의 스위치를 나타내는 개략도.
 제91도는 본 발명의 제10특징에 따른 제6실시예를 나타내는 개략 블록도.
 제92도는 제91도에 표시된 실시예의 주요부를 확대하여 나타내는 도면.
 제93도는 센스증폭기 활성화신호 SON1를 출력하는 회로를 나타내는 블록도.
 제94도는 센스증폭기 활성화신호 SON2를 출력하는 회로를 나타내는 개략 블록도.
 제95도는 제92도에 표시된 예의 개량예를 나타내는 도면.
 제96도는 본 발명의 제10특징에 따른 제7실시예의 주요부를 확대하여 나타내는 도면.
 제97도는 제96도에 나타난 예의 개량예를 나타내는 도면.
 제98도는 본 발명의 제10특징에 따른 제8실시예를 나타내는 개략 블록도.
 제99도는 제98도에 표시된 실시예의 동작을 나타내는 타임 차트.
 제100도는 본 발명의 제10특징에 따른 제9실시예를 나타내는 개략 블록도.
 제101도는 종래의 반도체 메모리셀 어레이의 개략도.
 제102도는 제101도에 표시된 메모리셀 어레이의 동작을 나타내는 타임 차트.

[발명의 상세한 설명]

본 발명은 반도체 기억장치에 관한 것이다.

보다 구체적으로는, 반도체 기판상에 배치된 메모리셀 어레이, 센스 증폭기 및 이들을 제어하기 위한 회로를 포함하는 다이내믹 랜덤 액세스 메모리에서, 메모리셀 어레이를 구성하는 비트선, 메모리셀 및 센스 증폭기의 로우레벨 전위를 침 본체의 워드선의 로우레벨보다 높게하는 반도체 기억장치에 관한 것이다.

제101도는 종래 DRAM의 주요부를 나타내는 개략도이다.

제101도를 참조하면, 메모리셀 MC 이 워드선 WL과 비트선쌍 BL, $1:1$ 에 접속된다.

비트선쌍 BL, $1:1$ 은 트랜스퍼 게이트(Tr71, Tr72)를 통하여 n채널 센스 증폭기(2), 이퀄라이저 회로(3) 및 p채널 센스 증폭기(4)에 접속되어 있다.

트랜스퍼 게이트(Tr71, Tr72)는 게이트 제어신호 BL1에 의하여 제어된다. 이퀄라이저 회로(3)에는 EQ 신호 뿐만 아니라 $1/2V_{cc}$ 전위의 VBL 신호가 주어진다. EQ 신호에 응답하여, 이퀄라이저 회로(3)는 VBL 신호로 비트선쌍 BL, $1:1$ 을 $1/2V_{cc}$ 로 프리차지한다.

센스 증폭기(2)와 (4)는 메모리셀 MC로부터 비트선쌍 BL, $1:1$ 에 독출된 미소 전위차(small potential difference)를 증폭한다.

센스 증폭기 활성화신호 S0가 센스 구동선 SN에 인가될 때 센스증폭기(2)는 활성화되고, 활성화신호 S1이 센스 구동선 SP에 인가될 때 센스 증폭기(4)가 활성화된다.

제102도는 제101도에 표시된 메모리 어레이의 동작을 나타내는 타임 차트이다.

제101도에는 메모리 어레이의 복수의 블록이 표시되어 있고, 각 블록은 대응하는 블록 활성화신호가 인가될때 활성화된다.

그러나 이때, 센스증폭기(2,4)는 아직 활성화되지 않는다.

데이터가 메모리셀 MC로부터 독출될때, BL1 신호는 H레벨이 되고, 트랜스퍼 게이트(TR71,TR72)는 도통되며, 비트선쌍 BL, \overline{BL} 은 센스 증폭기(2, 4)와 이퀄라이저 회로(3)에 접속된다. 워드선 WL이 제102도의 (a)에서와 같이 승압전압 Vpp으로 상승할 때, 미소 전위차는 메모리셀 MC로부터 비트선쌍 BL, \overline{BL} 로 독출되고, 제102도의 (b)와 (c)에서와 같이 활성화신호 S0가 H레벨이 되고, 활성화신호 S1은 L레벨이 되며, 센스 증폭기(2, 4)는 각각 활성화된다. 비트선쌍 BL, \overline{BL} 간의 미소전위차는 센스 증폭기(2, 4)에 의하여 증폭되고, 전위는 H 혹은 L레벨로 강화된다.

이제, 비트선쌍 BL, \overline{BL} 의 진폭의 L레벨이 워드선의 로우레벨이라고 한다. 이 경우에, 비선택 워드선의 L레벨은 비트선쌍 BL, \overline{BL} 의 진폭의 L레벨과 동등하다.

그러므로, 워드선의 로우레벨이 되는 워드선의 서브쓰레쉬홀드 리크전류(sub-threshold leak current)로 인하여 메모리셀 MC에 축적된 전하가 비트선으로 흐르고 전하의 양이 감소하여, 메모리셀 MC의 데이터의 파괴를 가능하게 한다. 이러한 현상을 방지하기 위하여, 종래에는 부전압 바이어스 Vbb가 메모리 어레이 부에 인가된다.

그러나, 이는 부전압 바이어스 Vbb를 발생하기 위한 부전위 발생회로를 필요로 한다.

또한 이러한 접근은, 메모리 어레이 동작에 수반하여 전류가 점지속으로 흐름에 따른 어레이 노이즈의 증가, 비선택 워드선의 L레벨의 부상, 워드선의 서브쓰레쉬홀드 리크전류의 증가 및 리프래시 특성의 악화와 같은 단점을 갖는다.

따라서, 본 발명의 목적은, 메모리셀 트랜지스터의 문턱 전압이 낮게 설정되고, 신뢰성이 향상될 수 있으며, 또한 트리플 웰 구조(triple well structure)를 필요로 하지 않는 반도체 기억장치를 제공하는 것이다.

간단히 설명하면, 본 발명의 반도체 기억장치는, 복수의 비트선중의 하나와 복수의 워드선중의 하나에 각각 접속된 복수의 메모리셀을 포함하는 메모리셀 어레이와, 메모리셀 어레이로부터 비트선에 독출되는 미소전위차를 증폭하기 위한 센스 증폭기와, 메모리셀 어레이로부터의 데이터 독출과 메모리셀 어레이에의 데이터 기록을 제어하기 위한 제어수단과, 비트선, 메모리셀 및 센스 증폭기의 로우레벨 전위의 라인을 워드선의 로우레벨보다 높은 전위로 설정하기 위한 전위설정수단과를 포함한다.

따라서, 본 발명에 따르면, 센스 증폭기 그룹, 메모리셀 및 비트선의 로우레벨 전위의 라인이 워드선의 로우레벨 보다 높은 전위로 설정되므로, 메모리셀 트랜지스터의 문턱전압을 낮게 설정할 수 있고, 신뢰성이 향상되며, 승압전압 발생회로가 불필요하게 되고, 트리플 웰 구조가 불필요하게 된다.

더욱 바람직하게는 반도체 소자의 문턱전압 만큼 로우레벨 전위라인의 전위를 높이기 위하여, 전위설정수단은, 큰 전류가 흐르는 기간에 대응하는 신호에 응답하여 제2반도체 소자로 로우레벨 전위라인의 전위를 방전한다.

더욱 바람직하게는, 전위설정수단이, 로우레벨 전위와 거의 동등한 기준전압을 발생하기 위한 기준전압 발생수단과, 기준전압을 로우레벨 전위라인과 비교하고 전위가 워드선의 로우레벨보다 높도록 로우레벨 전위라인의 전위를 보상하기 위한 전위보상수단을 포함한다.

전위보상수단은, 비교수단과, 비교수단으로부터의 비교출력에 응답하여 스위치하는 스위칭수단을 포함한다.

또한, 전위설정수단은, 전원전위를 로우레벨 전위라인에 간헐적으로(intermittently)공급하여 워드선의 로우레벨 보다 높은 레벨로 되도록 전위를 보상하는 서스테인 수단(유지수단)(sustain circuit)을 포함한다. 시스테인 수단은, 발진회로와, 펄핑회로를 포함한다.

더욱 바람직하게는 전위설정수단은, 기준전위를 발생하기 위한 기준전압 발생수단과, 기준전압과 로우레벨 전위라인의 전위를 비교하기 위한 비교 수단과, 비교수단으로부터의 출력에 따라 로우레벨 전위라인의 전위를 워드선의 로우레벨로 방전하기 위한 스위칭 수단과를 포함한다.

더욱 바람직하게는, 로우레벨 전위라인의 전위가 워드선의 로우레벨 보다 높은 전위로부터 저하되는 것을 방지하기 위하여 다이오드와 같은 로우레벨저하 방지수단이 형성된다.

더욱 바람직하게는, 큰 전류가 흐르는 동안, 전압비교수단을 불능화하는 전압비교 정지수단과, 큰 전류가 흐르는 동안, 스위칭수단을 강제적으로 작동하여 로우레벨 전위라인의 전위가 부상하는 것을 방지하는 부상방지 수단(floating prevent -ing circuit)이 형성된다.

또한 더욱 바람직하게는, 센스 증폭기가, 로우레벨 전위라인과 접지 사이에 접속되어 그 문턱전압 만큼 로우레벨 전위라인의 전위를 높이는 스위칭 소자를 포함한다. 스위칭 소자는, 입력전위가 워드선의 로우레벨과 동등하거나 그보다 낮은 경우 도통되어 큰 전류가 흐르는 동안 스위칭소자의 입력전극에

부전위(negative potential)를 공급하여 응답시간을 단축하는 스위칭수단을 포함한다. 스위칭수단은 큰 전류가 흐르는 전반에는 스위칭소자의 입력전극에 워드선의 로우레벨을 공급하고 큰 전류가 흐르는 기간의 후반에는 부전위를 공급한다.

본 발명의 또 다른 특징에 따르면, 본 발명은 전원전압이 외부에서 공급되는 내부회로를 포함하면서, 내부회로에 공급된 하이레벨 전위를 외부에서 공급되는 전원전압과는 다른 전위로 설정하고, 내부회로에 공급되는 로우레벨 전위를 워드선의 로우레벨과는 다른 전위로 설정하는 전위설정 수단과, 반도체 기억장치가 동작중인가 여부에 따라 하이레벨과 로우레벨 전위를 변경하는 수단을 포함하는 반도체 기억장치를 제공한다.

본 발명의 또 다른 특징에 의하면, 본 발명은 반도체 기판상에 칩이 형성되어 있고, 복수의 비트선중의 하나와 복수의 워드선중의 하나에 각각 접속된 메모리셀을 포함하는 메모리셀 어레이와, 메모리셀 어레이로부터 비트선에 독출된 미소 전위차를 증폭하기 위한 센스 증폭기와, 메모리셀 어레이로부터의 데이터 독출과 메모리셀 어레이에의 데이터 기록을 제어하기 위한 제어수단과, 반도체 기판에 부레벨 기판전위를 공급하기 위한 기판전위 발생수단과, 워드선에 공급되는 승압전압을 발생하기 위한 승압전압 발생수단과, 칩이 사용중인가 여부에 따라 승압전압전위와 부전위를 임의의 전위로 스위칭하기 위한 전위설정수단과를 포함하는 반도체 기억장치를 제공한다.

본 발명의 또 다른 특징에 의하면, 반도체 기억장치는 복수의 비트선중의 하나와 복수의 워드선중의 하나에 각각 접속된 메모리셀을 포함하는 메모리셀 어레이와, 메모리셀 어레이로부터 비트선에 독출된 미소전위차를 증폭하기 위한 센스 증폭기와, 메모리셀 어레이로부터의 데이터 독출과 메모리셀 어레이에의 데이터 기록을 제어하기 위한 제어수단과, 비트선의 로우레벨 전위라인을 설정하기 위한 전위설정수단과, 비트선, 메모리셀 및 센스 증폭기의 로우레벨 전위라인을 워드선의 로우레벨 보다 높은 전위로 설정하기 위한 전위설정 수단과, 설정된 로우레벨전위를 보상하기 위한 전위보상수단을 포함한다.

본 발명의 또 다른 특징에 의하면, 반도체 기억장치는 복수의 비트선중의 하나와 복수의 워드선중의 하나에 각각 접속된 메모리셀을 포함하는 메모리셀 어레이와, 메모리셀 어레이로부터 비트선에 독출된 미소전위차를 증폭하기 위한 센스 증폭기와, 메모리셀 어레이로부터의 데이터 독출과 메모리셀 어레이에의 데이터 기록을 제어하기 위한 제어수단과, 비트선, 메모리셀 및 센스 증폭기의 로우레벨 전위라인을 워드선의 로우레벨 보다 높은 전위로 설정하기 위한 전위설정수단과, 워드선의 로우레벨 보다 높게 설정된 전위의 지하에 응답하여 전위를 상승하여 지하를 보상하는 전위상승 보상수단과, 전위의 상승에 응답하여 전위의 지하로 상승을 보상하는 전압저하 보상수단을 포함한다.

본 발명의 또 다른 특징에 의하면, 반도체 기억장치는 복수의 비트선중의 하나와 복수의 워드선중의 하나에 각각 접속된 메모리셀을 포함하는 메모리셀 어레이와, 메모리셀 어레이로부터 비트선에 독출된 미소전위차를 증폭하기 위한 센스 증폭기와, 센스 증폭기를 구동하기 위한 구동선과, 센스 증폭기가 구동될 때 구동선의 로우레벨 전위를 워드선의 로우레벨 보다 높은 전위로 설정하기 위한 전위설정수단을 포함한다.

본 발명의 더욱 다른 특징에 의하면 반도체 기억장치는, 복수의 비트선중의 하나와 복수의 워드선중의 하나에 각각 접속되는 메모리셀을 포함하는 메모리셀 어레이와, 메모리셀 어레이로부터 비트선에 독출되는 미소전위차를 증폭하기 위한 센스 증폭기와, 비트선과 센스 증폭기 사이에 접속되는 전달 게이트와, 센스 증폭기가 구동될 때, 전달 게이트의 게이트전위는 워드선의 로우레벨로, 비트선의 로우레벨 전위는 전달 게이트의 문턱전압으로 설정하는 제어수단을 포함한다.

본 발명의 또 다른 특징에 의하면 반도체 기억장치는, 복수의 비트선중의 하나와 복수의 워드선중의 하나에 각각 접속되는 복수의 메모리셀을 포함하는 메모리셀 어레이와, 메모리셀 어레이로부터 비트선에 독출되는 미소 전위차를 증폭하기 위한 센스 증폭기와, 메모리셀 어레이로부터의 데이터 독출과 메모리셀 어레이에의 데이터 기록을 제어하기 위한 제어수단과, 비트선, 메모리셀 및 센스 증폭기의 로우레벨 전위라인을 워드선의 로우레벨 보다 높은 전위로 설정하고, 하이레벨 전위를 외부에서 주어지는 전원전압보다 낮은 전위로 설정하기 위한 전위설정수단을 포함한다.

본 발명의 더욱 다른 특징에 의하면, 반도체 기판상에 칩이 형성된 반도체 기억장치가, 복수의 비트선중의 하나와 복수의 워드선중의 하나에 각각 접속된 메모리셀을 포함하는 메모리셀 어레이와, 메모리셀 어레이로부터 비트선에 독출된 미소전위차를 증폭하기 위한 센스 증폭기와, 메모리셀 어레이로부터의 데이터 독출과 메모리셀 어레이에의 데이터 기록을 제어하기 위한 제어수단과, 비트선, 메모리셀, 센스 증폭기의 로우레벨 전위라인을 워드선의 로우레벨 보다 높은 전위로 설정하기 위한 전위설정수단과, 메모리셀의 데이터 유지시간이 테스트될 때, 비트선, 메모리셀 및 센스 증폭기의 로우레벨 전위라인을 워드선의 로우레벨로 강제하는 워드선의 로우레벨 강제수단을 포함한다.

본 발명의 또 다른 특징에 의하면 반도체 기판상에 칩이 형성된 반도체 기억장치가, 복수의 비트선중의 하나와 복수의 워드선중의 하나에 각각 접속된 복수의 메모리셀을 포함하는 메모리셀 어레이와, 워드선을 구동하기위한 워드선 구동수단과, 메모리셀 어레이로부터 비트선에 독출된 미소전위차를 증폭하기 위한 센스 증폭기와, 메모리셀 어레이로부터의 데이터 독출과 메모리셀 어레이에의 데이터 기록을 제어하기 위한 제어수단과, 메모리셀의 데이터 유지시간이 테스트될 때, 워드선 구동수단의 로우레벨 전위라인을 워드선의 로우레벨 보다 높은 전위로 설정하기위한 전위설정수단을 포함한다.

본 발명의 또 다른 특징에 의하면, 반도체 기판상에 칩이 형성된 반도체 기억장치가, 복수의 비트선중의 하나와 복수의 워드선중의 하나에 각각 접속된 메모리셀을 포함하는 메모리셀 어레이와, 메모리셀 어레이로부터 비트선에 독출된 미소전위차를 증폭하기 위한 센스 증폭기와, 메모리셀 어레이로부터의 데이터 독출과 메모리셀 어레이에의 데이터 기록을 제어하기 위한 제어수단과, 반도체 기판에 부레벨 기판전위를 공급하기위한 기판전위 발생수단과, 메모리셀의 데이터 유지시간이 테스트될 때, 반도체 기판의 기판전위를 부레벨 기판전위 보다 높은 전위로 설정하기 위한 기판전위 설정수단을 포함한다.

상술한 또는 그 이외의 본 발명이 목적, 특징 및 잇점은 첨부한 도면을 참조한 다음의 본 발명의 상세한 설명에서 더욱 분명하게 제시된다.

제1(a), (b)도는 종래기술과 본 발명의 개념을 비교하기 위한 도면이다.

종래 기술의 예에서는, 제1(a)도를 참조하면, 내부 전원전압 $Int. V_{cc}(3.3V)$ 가 외부전원전압 $Ext. V_{cc}(5V)$ 로부터 발생되고, 내부전원전압 $Int. V_{cc}$ 과 워드선 $GND(0V)$ 의 로우레벨 사이의 전위가 메모리 셀에 인가되고, 서브쓰레쉬홀드 리크전류(sub threshold leak)를 억제하기 위하여 부전위 $V_{bb}(-2V)$ 를 메모리 셀에 부여하는 것이 필요하다.

이러한 이유로, 부전위 발생회로가 종래 기술에서는 필요하였다.

이와는 달리 본 발명에서는, 제1(b)도를 참조하면, 비트선의 진폭의 L레벨이 워드선의 로우레벨 GND 로가 아니라, 비트선 프리차지 레벨과 워드선의 로우레벨 GND 사이에서 새로 발생한 더미 GND 레벨(V_{GND})($0.5V$)로 설정된다. 이 경우에, 비선택 워드선의 L레벨(GND)이 비트선 진폭의 L레벨에 대하여 상대적으로 부(負)로 바이어스된 상태가 된다.

제2도는 본 발명의 제1특징에 따른 제1실시예를 나타내는 개략도이다.

제2도를 참조하면, 내부회로(5)는 메모리셀 전위의 결정, 예를 들면, 비트선 충전/방전회로(센스 증폭기 회로), 하프(half) V_{cc} 발생회로등과 관련이 있으며, 칩의 전체회로(워드선 구동회로는 포함되지 않음에 주의한다)와는 관련이 없다. 종래 기술에서는, 내부회로(5)가 워드선의 로우레벨에 접속되어 있다.

그러나 이 실시예에서는, 더미 GND 라인(30)에 접속되어 있다. 더미 GND 라인(30)에는, n채널 트랜지스터 Tr_2 의 드레인 뿐만 아니라 n채널 트랜지스터 Tr_1 의 게이트와 드레인이 접속되어 있다. n채널 트랜지스터 Tr_1 과 Tr_2 는 소스가 워드선의 로우레벨 V_{ss0P} 에 접속되어 있다. 내부 발생신호 ϕ 는 n채널 트랜지스터 Tr_2 의 게이트에 인가된다. n채널 트랜지스터 Tr_1 는 더미 GND 라인(30)의 전위 $V_{ss'}$ 를 그 문턱 전압 V_{thn} 만큼 높인다.

그러나, 활성화시에 큰 전류가 메모리셀로부터 접지로 흐를 때, 특히 비트선의 충전/방전시에 또는 칼럼 어드레스의 변화로 인하여 비트선이 I/O 라인에 접속될 때에는, 구동능력을 고려해 볼 때 n채널 트랜지스터 Tr_1 로서만 더미 GND 라인(30)의 레벨 $V_{ss'}$ 을 문턱 전압 V_{thn} 근방으로 유지하는 것은 곤란하다. 이유는 n채널 트랜지스터 Tr_1 가 문턱 전압 근방에서 동작하고, 더미 GND 라인(30)이 문턱 전압 V_{thn} 근방인 상태에서 비교적 높은 저항을 가지기 때문이다.

따라서, 비트선의 충전/방전시 혹은 칼럼 어드레스의 변화로 인하여 비트선이 I/O 라인에 접속될 때에만, n채널 트랜지스터 Tr_2 가 내부발생 신호 ϕ 에 의하여 도통되어, 더미 GND 라인(30)의 전위 $V_{ss'}$ 의 부상을 억제할 수 있다.

제3도는 제2도의 일예의 동작을 나타내는 타임 차트이다.

제2도의 일예의 동작을 제3도를 참조하여 설명한다.

제3도의 (a)에서와 같이, 로우 어드레스 스트로브 신호 RAS 가 H레벨인 스탠바이 상태에서는, 내부발생신호 ϕ 가 제3(f)에서와 같이 L레벨이다. 로우 어드레스 스트로브 신호 RAS 가 L레벨로 하강한 뒤, 워드선은 제3(c)도에 표시된 로우 어드레스에 의하여 활성화되고, 메모리셀의 정보는 비트선으로 전달되고, 센스 증폭기 활성화신호 SE 는 제3(d)에 표시된 바와 같이 L레벨이 되며, 센스 증폭기가 활성화된다.

이때, 활성화된 워드선에 접속된 비트선의 총용량이 충전/방전된다.

센스 증폭기 활성화신호 SE 에 응답하여, 내부발생신호 ϕ 가 전원전압 V_{cc} 로 상승하고, 소정시간 기간 t_1 의 경과후에는, 워드선 V_{ss} 의 로우레벨로 하강한다.

결과적으로, 기간 t_1 에서는, 워드선의 로우레벨 V_{ss} 과 더미(dummy) GND 라인의 전위 $V_{ss'}$ 간의 저항이 감소하여, 고 속의 센스동작을 가능하게 한다. 기간 t_1 에서는, 더미 GND 라인의 전위 $V_{ss'}$ 가 워드선의 로우레벨 V_{ss} 근방에 표시되어 있지만, 비트선을 충전/방전하기 위하여 큰 전류가 흐르기 때문에 n채널 트랜지스터 Tr_2 의 저항성분으로 인하여 제3(g)도에 표시된 바와 같이 어느정도 부상한다. 부상의 양이 이 기간의 문턱 전압 V_{thn} 과 거의 동일한 레벨이 되도록 기간 t_1 을 설정하는 것에 의해, n채널 트랜지스터 Tr_2 에 의한 $V_{ss'}$ 의 부상이 방지된다.

더욱 구체적으로는, n채널 트랜지스터 Tr_2 가 더미 GND 라인(30)에 접속되지 않으면, 더미 GND 라인(30)의 전위 $V_{ss'}$ 가 제3(g)의 점선으로 표시된 것과 같이 부상한다.

그러나, n채널 트랜지스터 Tr_2 의 역할로 인하여 제3(g)도에 표시된 것과 같이 부상이 억제될 수 있다.

센스동작 이후 판독 주기에서는, 제3(e)도에 표시된 칼럼 활성화신호 CT 가 칼럼 어드레스의 변화에 의하여 활성화되고, 칼럼 선택선이 활성화되며, 특정 비트선이 I/O 라인에 접속된다. I/O 라인의 전위는 비트선으로 흐르고, 더미 GND 라인(30)의 전위 $V_{ss'}$ 는 제3(g)도에서와 같이 부상한다.

이러한 경우에도 역시, 센스 활성화의 경우에서 처럼 칼럼 활성화신호 CT 의 활성화에 응답하여, 내부발생신호 ϕ 가 기간 t_2 의 워드선의 로우레벨의 레벨로 설정되어 유지한다. 기록 주기에서도 또한 내부발생신호 ϕ 를 I/O 라인으로부터 비트선에 데이터를 기록하는 시간에 대응하는 기간동안 워드선의 로우레벨 V_{cc} 의 레벨로 설정하여 동일한 효과를 얻을 수 있다.

여기서, 내부발생신호 ϕ 의 타임으로 센스 증폭기 활성화신호 SE 와 칼럼 활성화신호 CT 를 이 실시예의 예로 설명한다.

그러나, 센스 동작 개시 혹은 I/O 선과 비트선과의 접속시점 근방에서 발생된 어떠한 내부신호도 신호 ϕ 를 발생하도록 사용될 수 있다. n채널 트랜지스터 Tr는 게이트와 드레인이 단락회로(short-circuit)로서 더미 GND 라인(30)에 접속되어 있으며 소스는 워드선의 로우레벨 Vss에 접속되어 있다.

그러나 게이트와 드레인이 단락회로이며 워드선의 로우레벨 Vss에 접속되고, 그 소스가 더미 GND 라인에 접속된 p채널 트랜지스터가 사용될 수도 있다.

비록 이 실시예에서는, 내부발생신호 ϕ 가 센스 증폭기의 동작 전후시점과 I/O 선과 비트선의 접속시점 전후에 활성화되지만, 신호는 이 시점중의 어느 하나에서 활성화될 수도 있다.

제4도는 본 발명의 제1특징에 따른 제2실시예를 나타내는 개략도이다.

제4도에 표시된 이 실시예에서, 클램프회로(7)(clamp circuit)는 제3도에 표시된 실시예의 n채널 트랜지스터 Tr2의 동작에 의한 더미 GND 라인(30)의 레벨의 저하를 방지하기 위하여 더미 GND 라인(30)에 접속되어 있다.

클램프 회로(7)는 더미 GND 라인(30)의 전위 Vss'를 기준전압과 비교하기 위한 차동증폭회로(71)와, 차동증폭회로(71)로부터의 출력을 받아 더미 GND 라인(30)의 전위를 충전하는 n채널 트랜지스터 Tr3를 포함한다. n채널 트랜지스터 Tr3는 게이트가 차동증폭회로(71)의 출력에 접속되어 있고, 드레인은 전원전위 Vcc에 접속되며 소스는 더미 GND 라인(30)에 접속되어 있다.

더미 GND 라인(30)의 레벨 Vss'의 기준전압보다 낮은 경우, 차동증폭회로(71)는 n채널 트랜지스터 Tr3가 도통되도록 H레벨 신호를 출력하고, 전원전위 Vcc로부터 더미 GND 라인(30)에 H레벨 신호를 출력하여 이를 충전한다. 더미 GND 라인(30)의 전위가 상승하면, 차동증폭회로(71)는 n채널 트랜지스터 Tr3를 비도통상태로 하고, 제3도를 참조하여 상술한 바와 같이, n채널 트랜지스터 Tr2의 도통기간 t1 혹은 t2의 기간의 미스매치(mismatch)에 의한 더미 GND 라인(30)의 레벨의 저하를 억제한다.

제5도는 본 발명의 제2특징에 따른 제1실시예를 나타낸다.

제5도에 표시된 실시예는 더미 GND 라인(30)과 거의 같은 레벨의 전압을 발생하는 기준전압 발생회로(81)와, 더미 GND 라인(30)의 레벨을 기준전압과 비교하기 위한 차동증폭회로(8)와, 차동증폭회로(8)로부터의 출력을 받는 n채널 트랜지스터 Tr3를 포함한다. n채널 트랜지스터 Tr3는 게이트가 차동증폭회로(8)의 출력에 접속되고, 그 드레인은 더미 GND 라인(30)에 접속되며, 그 소스는 워드선의 로우레벨 Vss에 접속된다.

이 실시예에서, 더미 GND 라인(30)의 레벨이 기준전압 발생회로(81)로부터 출력되는 기준전압보다 높은 경우, H레벨 신호가 차동증폭회로(8)로부터 n채널 트랜지스터 Tr3의 게이트에 주어진다.

이에 응답하여, n채널 트랜지스터 Tr3가 도통되어, 더미 GND 라인(30)의 전위를 방전한다. 더미 GND 라인(30)의 전위가 기준전압보다 낮은 경우, 차동증폭회로(8)는 n채널 트랜지스터 Tr3에 의한 방전을 중단하여, 더미 GND 라인(30)의 레벨이 워드선의 로우레벨 보다 높은 레벨 Vss'로 유지되도록 한다.

제6도는 본 발명의 제2특징에 따른 제2실시예를 나타내는 개략도이다.

제6도의 실시예는 제5도의 실시예의 개량으로서, 차동증폭회로(8)의 응답 지연에 의한 더미 GND 라인(30)의 레벨의 저하를 방지한다.

더욱 구체적으로는, 다이오드 D1가 n채널 트랜지스터 Tr3의 게이트와 더미 GND 라인(30) 사이에 접속된다.

다이오드 D1가 n채널 트랜지스터 Tr3의 드레인과 더미 GND 라인(30) 사이에 접속되기 때문에, 작은 전류가 다이오드 D1를 통하여 흐를 때, 더미 GND 라인(30)이 워드선의 로우레벨 Vss의 레벨로 되지 않고 다이오드 D1의 확산전위(약 0.6V)만큼 상승되어, 더미 GND 라인(30)의 레벨의 저하가 억제될 수 있고 더미 GND 라인(30)이 안정한 전위를 확보할 수 있다.

제7도는 본 발명의 제2특징에 따른 제3실시예를 나타내는 개략도이다.

제7도에 표시된 실시예는 제6도에 표시된 실시예에 있어서의 차동증폭회로(8)의 응답지연에 의한 더미 GND 라인(30)의 레벨 저하를 개선한 것이다.

더욱 구체적으로는, 디커플링 커패시터(decoupling capacitor) C1가 워드선의 로우레벨과, 다이오드 D1와 n채널 트랜지스터 Tr3 간의 노드사이에 접속된다.

일반적으로, 디커플링 커패시터는 더미 GND 라인(30)에 접속되어야 한다.

그러나 이 실시예에서는, 내부회로(5)의 동작에 의한 전류변화가 디커플링 커패시터에 의하여 흡수되어, 다이오드 D1의 보상효과를 방해한다.

따라서, 디커플링 커패시터 C1는 접지와, 다이오드 D1와 n채널 트랜지스터 Tr3의 드레인간의 노드사이에 접속되어, 다이오드 D1에 의한 확산전위에서의 보상이 보장되어, 더미 GND 라인(30)의 저하가 억제될 수 있어, 안정된 전위 Vss'를 제공한다.

제8도는 본 발명의 제2특징에 따른 제4실시예를 나타내는 개략도이다.

이 실시예는 제5도에 표시된 실시예의 개량으로서, 큰 전류가 소비되는 경우 차동증폭회로(8)의 응답지연에 의한 더미 GND 라인(30)의 레벨의 부상이 향상된다.

이 실시예는 제5도에 표시된 실시예와 제2도의 실시예의 조합이다.

더욱 구체적으로는, n채널 트랜지스터 Tr4를 구성하는 차동증폭회로 정지 회로가 차동증폭회로(8)에 접속되고, n채널 트랜지스터 Tr5를 구성하는 부상방지회로가 n채널 트랜지스터 Tr3의 게이트에 접속된다.

더욱 구체적으로는, n채널 트랜지스터 Tr4는 그 드레인이 차동증폭회로(8)의 활성화 입력단자에 접속되며 그 소스는 접지된다. n채널 트랜지스터 Tr5는 그 드레인이 전원전위 VccDP 접속되며, 그 소스는 n채널 트랜지스터 Tr3의 게이트에 접속된다. 내부발생신호 ϕ 는 인버터(29)에 의하여 반전되어 n채널 트랜지스터 Tr4와 Tr5의 게이트에 인가된다.

제9도는 제8도의 실시예의 동작을 나타내는 타임차트이다.

제8도에 표시된 실시예의 동작을 제9도를 참조하여 설명한다. 메모리셀 어레이에 큰 전류가 흐를 때, 센스 동작이 시작되거나 I/O 선이 비트선에 접속되는 경우, 제9(d)도에 표시된 센스 증폭기 활성화신호 S^1 를 받거나 제9(e)도에 표시된 감람 활성화신호 W^1 를 받는 즉시, 제9(f)도에 표시된 내부발생신호 ϕ 가 인버터(9)에 의하여 반전되고, n채널 트랜지스터 Tr4가 도통되어, 차동증폭회로(8)의 동작이 정지된다.

내부발생신호 ϕ 가 L레벨이 될 때, n채널 트랜지스터 Tr5는 도통되고, H레벨 신호가 전원전위 Vcc로부터 n채널 트랜지스터 Tr3의 게이트에 강제적으로 인가되어 n채널 트랜지스터 Tr3를 동작하도록하여, 더미 GND 라인(30)의 부상이 방지된다.

제10도는 본 발명의 제3특징에 따른 제1실시예를 나타내는 개략도이다.

제10도의 실시예는 센스 증폭기(2)의 센스 증폭기 구동선 SN이 L레벨이 되도록 되어, 더미 GND 라인(30)의 레벨이 접지전위 Vss 보다 높은 전위 Vss'로 설정된다.

제10도를 참조하여 이미 설명한 바와 같이, 일반적으로 DRAM의 판독동작에서는, 로우 어드레스 스트로브 신호 RAS 의 하강후에, 워드선 WL이 로우 어드레스에 의하여 활성화되고, 메모리셀의 정보가 비트선 BL으로 전송되고 센스 증폭기(2)에 의하여 증폭된다.

센스 증폭기(2)와 (4)는 기본적으로 제10도에 표시된 n채널과 p채널의 2개의 센스 증폭기로 형성되고, 센스 증폭기(2)와 (4)의 각각에서, 2개의 트랜지스터의 게이트와 드레인이 서로 교차접속하고 소스가 서로 접속되며, 이 공통접속 노드가 n채널 트랜지스터 Tr6를 통하여 $1/2(V_{cc}+V_s)$ 에 접속된다. n채널 트랜지스터 Tr6가 도통될 때, 센스동작이 시작되고, 비트선 BL의 미소전위차가 전원라인의 레벨로 활성화되고, 재기록이 메모리셀에 수행된다.

제10도에 표시된 이 실시예에서, p채널 트랜지스터 Tr7는 센스 증폭기 구동선 SN과 워드선의 로우레벨 Vss 사이에 접속된다. 센스 증폭기 구동선 SN의 전위는 p채널 트랜지스터 Tr7의 문턱전압 Vthp 이상으로 된다. 내부발생신호 ϕ 는 p채널 트랜지스터 Tr7의 게이트에 인가된다.

제11도는 제10도의 동작을 나타내는 타임차트이다.

제11도를 참조하여, 제10도에 표시된 실시예의 동작을 설명한다.

스탠바이 상태에서는, 제11(a)도를 참조하면, 로우 어드레스 스트로브 신호 RAS 가 H레벨로 설정되고, 따라서 내부발생신호 ϕ 가 제11(d)도에서와 같이 H레벨로 된다. 내부발생신호 ϕ 가 n채널 트랜지스터 Tr6의 게이트에 인가되기 때문에, n채널 트랜지스터 Tr6가 도통되고, 센스 증폭기 구동선 SN이 $1/2(V_{cc}+V_{thp})$ 의 레벨로 프리차지된다.

제11(b)도에서와 같이, 로우 어드레스 스트로브 신호 RAS 가 L레벨로 저하되고, 센스증폭기 활성화신호 S^1 가 L레벨로 저하될 때, 내부발생신호 ϕ 는 L레벨이 된다. 내부발생신호 ϕ 에 응답하여, p채널 트랜지스터 Tr7가 도통되고, 센스동작이 시작된다. 센스증폭기 구동선 SN의 레벨이 p채널 트랜지스터 Tr7의 문턱 전압 Vthp와 거의 같은 레벨이 되면, 비도통되고, L레벨측의 센스증폭기(2)의 최종 레벨은 문턱 전압 Vthp에 도달하고, 메모리셀에 기록된 L레벨은 문턱 전압 Vthp와 동등하다.

제12도는 본 발명의 제3특징에 따른 제2실시예를 나타내는 개략도이다.

제12도의 실시예는 제19도에 표시된 실시예의 개량이다.

이 실시예에서는, 큰 전류가 소비되는 경우, 문턱 전압 근방에서 동작하여 그 결과 고저항을 갖는 p채널 트랜지스터 Tr7에 의한 센스증폭기 구동선 SN의 전압의 부상을 방지하도록 개선된다.

더욱 구체적으로는, p채널 트랜지스터 Tr7의 게이트에 인가되는 내부발생신호 ϕ 가 제12도에 표시된 스위칭 회로로부터 발생한다. 스위칭 회로는 n채널 트랜지스터 Tr8와 Tr9를 포함한다. n채널 트랜지스터 Tr8의 게이트에는, 센스증폭기 구동신호 S^1 의 하강부터 L레벨까지의 기간동안만 H레벨이고 그 기간 이외에는 L레벨신호인 제어신호 ϕ^1 가 인가된다.

n채널 트랜지스터 Tr9에는, 기간 t1 동안만 L레벨이고 그 기간 이외에는 H레벨신호인 제어신호 ϕ^1 가 인가된다. n채널 트랜지스터 Tr8는 소스가 접지되고, n채널 트랜지스터 Tr9는 드레인에서 부전위 발생회로(9)로부터의 부전압 $-V_b$ 를 받는다. 많은 개선을 위하여, 부전압 $-V_b$ 는 제10도의 p채널 트랜지스터 Tr7의 문턱 전압 Vthp 보다 크도록 선택되는 것이 바람직하다. n채널 트랜지스터(8)의 드레인인 n채널 트랜지스터 Tr9의 소스는 제10도의 p채널 트랜지스터 Tr7의 게이트에 공통접속된다.

제13도는 제12도의 회로의 동작을 나타내는 타임차트이다.

제13도를 참조하여, 제12도에 표시된 실시예의 동작을 설명한다. 센스증폭기 활성화신호 S^1 가 제13(b)도에서와 같이 L레벨로 하강할 때, 제어신호 ϕ^1 는 H레벨로 상승하고, n채널 트랜지스터 Tr9는

도통된다.

결과적으로, 내부발생신호 ϕ 로서 부전압 $-V_b$ 이 제10도의 p채널 트랜지스터 Tr7의 게이트에 인가된다. 이것은 p채널 트랜지스터 Tr7의 도통을 용이하게 하고, 저항을 감소시켜, 센스증폭기 구동선 SN의 부상이 방지된다.

더욱 구체적으로, L레벨이 워드선의 로우레벨 Vss인 내부발생신호 ϕ 가 제11(c)도에서와 같이 제10도에 표시된 p채널 트랜지스터 Tr7의 게이트에 인가되는 경우, H레벨로부터 L레벨로 하강하는 센스증폭기 구

동선 SN의 파형이 제13(d)도의 점선으로 표시된 바와 같이 완만하게 되고, 따라서, 비트선 BL, \overline{BL} 의 DLM 전위는 제13(e)도의 점선으로 표시된 것과 같이 완만하게 하강하여 고속동작을 방해한다.

이와는 달리, 제12도에 표시된 실시예의 스위치회로에 의하여, 큰 전류가 흐르는 기간인 센스의 시작 시점인 기간 t_1 동안만 부전위 $-V_b$ 가 p채널 트랜지스터 Tr7의 게이트에 인가되므로, 제13(d)도에 표시된 바와 같이 센스증폭기 구동선 SN이 급격히 하강하여 고속동작을 실현한다. 기간 t_1 경과 후, n채널 트랜

지스터 Tr8는 제어신호 ϕ' 에 의하여 도통되고, 내부발생신호 ϕ 는 워드선의 로우레벨 Vss의 레벨이 된다.

제14도는 본 발명의 제3특징에 따른 제3실시예를 나타내는 타임차트이다.

이 실시예는 제13도를 개선한 것으로, 제10도의 p채널 트랜지스터 Tr7의 고저항에 의한 센스증폭기 구동선 SN의 부상이 더욱 억제된다.

더욱 구체적으로는, 큰 전류가 흐르는 센스동작이 시작하는 기간 t_1 에서, 내부발생신호 ϕ 는 전반기간 t_2 의 워드선의 로우레벨 Vss의 레벨을 유지하고, 후반 기간 t_3 동안은 부전위 $-V_b$ 레벨을 유지한다.

그러므로, 제12도에 표시된 n채널 트랜지스터 Tr8의 게이트에는, 기간 t_1 후 기간 t_2 동안만 H레벨을 유지하는 제어신호 ϕ' 가 인가된다.

이 실시예에서는, 부전위 $-V_b$ 가 p채널 트랜지스터 Tr7의 게이트에 인가되는 기간이 제12도의 실시예에서 보다 더욱 단축될 수 있기 때문에, 부전위발생회로(9)의 부하가 감소될 수 있다.

제15도는 본 발명의 제4특징에 따른 제1실시예를 나타내는 개략도이다.

제15도에 표시된 실시예에서, 더미 GND 레벨신호를 발생하는 회로가 반도체 기판에 설치되고, 센스증폭기가 전원전위 Vcc와 더미 GND 라인(30)사이의 비트선 전위를 증폭하고, 워드선을 구동하는 워드선 회로의 접지레벨이 스위치회로(12)에 의하여 워드선의 로우레벨 Vss과 더미 GND 라인(30)의 레벨 Vss' 사이에서 스위치되도록 된다.

더욱 구체적으로는, 로우 디코더(11)는 로우 어드레스 신호를 디코드하고 디코드된 워드신호를 워드 드라이버(10)로 보낸다. 워드 드라이버(10)는 p채널 트랜지스터(71)와 n채널 트랜지스터(72)를 포함하고, p채널 트랜지스터(71)와 n채널 트랜지스터(72)의 게이트에는 로우 디코더(11)로부터의 워드신호가 인가된다. p채널 트랜지스터(71)의 드레인에는, 승압전압 Vpp이 인가되고, p채널 트랜지스터(71)의 소스와 n채널 트랜지스터(72)의 드레인은 워드선 WL에 접속된다.

n채널 트랜지스터(72)는 소스가 스위치회로(12)에 접속되고, 스위치회로(12)는 워드선의 로우레벨 Vss과 더미 GND 라인(30)의 전위 Vss'를 스위치한다. 스위치회로(12)는 제16도에서와 같이 n채널 트랜지스터 Tr10와 Tr11를 포함한다. n채널 트랜지스터 Tr10의 게이트에는 내부발생신호 ϕ 가 인가되고, n채널 트랜지스터 Tr11의 게이트에는 내부발생신호 ϕ 가 인가된다. n채널 트랜지스터 Tr10와 Tr11의 드레인은 제15도에 표시된 n채널 트랜지스터 Tr72의 소스에 접속된다.

n채널 트랜지스터 Tr10는 그 소스가 워드선의 로우레벨 Vss에 접속되고, n채널 트랜지스터 Tr11는 그 소스가 더미 GND 라인(30)의 전위 Vss'에 접속된다. 워드선 WL과 비트선 BL과의 교점에, 메모리셀(14)이 접속되고, 비트선 BL과 \overline{BL} 는 센스증폭기(13)에 접속된다. 전원전압 Vcc과 더미 GND 라인(30)의 전위 Vss는 센스증폭기(13)에 주어진다.

제17도는 제15도의 실시예의 동작을 나타내는 타임차트이다.

제15도를 참조하여 제15도의 실시예의 동작을 설명한다.

제17(b)도에 표시된 로우 어드레스 신호가 로우 디코더(11)에 인가되는 경우, 워드선 구동신호 WD가 로우 디코더(11)로부터 워드 드라이버(10)로 인가된다.

이때, 스위치(12)에 인가되는 내부발생신호 ϕ 는 제17(d)도에서와 같이 L레벨이 되고, ϕ' 는 H레벨이다. 그러므로, 스위치회로(12)는 워드선의 로우레벨 Vss을 n채널 트랜지스터 Tr72의 소스에 인가한다. 로우 어드레스 스트로브 신호 \overline{RAS} 가 제17(a)도에서와 같이 L레벨이 된 후 기간 t_4 의 경과후 그러나 워드선 구동신호가 L레벨이 되는 기간 t_5 전에, 내부발생신호 ϕ 는 H레벨이 되고, ϕ' 는 L레벨이 된다.

결과적으로, 스위치회로(12)는 더미 GND 라인(30)의 전위 Vss'를 n채널 트랜지스터 Tr72의 소스에 인가한다.

그 결과, 제17(e)도에서와 같이, 워드선 WL는 처음에는 워드선의 로우레벨 Vss로부터 더미 GND 라인(30)의 전위 Vss'로 상승하고, 그 뒤 승압 전압 Vpp로 승압된다.

한편, 비선택 워드 드라이버의 워드선의 로우레벨이, 도시되지 않았지만, 여전히 Vss 이므로, 비선택 워

드선은 Vss 레벨을 유지한다. 워드선 WL이 처음에는 워드선의 로우레벨 Vss로부터 더미 GND 라인(30)의 전위 Vss'로 상승하였다가 그 뒤 제17(e)도에서와 같이 승압전압 Vpp으로 승압되므로, 승압전압 Vpp에서 구동하는 부하가 감소하여 워드선 WL이 고속으로 상승할 수 있다.

제18도는 본 발명의 제4특징에 따른 제2실시예를 나타내는 블록도이다.

선택 워드 드라이버의 워드선 WL이 로우레벨만이 더미 GND 라인(30)의 전위 Vss'로 스위치되는 제15도의 실시예와는 달리, 제18도에 표시된 이 실시예에서는, 선택된 워드 드라이버를 포함하는 워드 드라이버군의 워드선의 로우레벨이 더미 GND 라인(30)의 전위 Vss'로 스위치되어, 스위치 회로의 수를 줄인다.

더욱 구체적으로는, 센스증폭기 SA1, SA2, SA3 및 SA4와 워드 드라이버 WD1-WD3 사이에 각각 배치된 복수의 메모리셀 어레이블록 MC1, MC2, MC3이 대응하는 메모리셀 어레이블록 MC1-MC3에 각각 설치되어 있다. 워드선 구동신호는 로우 디코더(11)로부터 이 워드 드라이버 WD1-WD3에 주어진다. 워드 드라이버 WD1-WD3은 대응하는 메모리셀 어레이블록 MC1-MC3의 워드선을 구동한다.

또한, Vss와 더미 GND 라인(30)의 전위 Vss' 사이로 각 워드 드라이버 WD1-WD3의 워드선의 로우레벨을 스위치하기 위하여, 스위치회로 SW1-SW3가 설치되며 각 스위치 회로 SW1-SW3는 블록 선택신호 VS1-VS3에 의하여 개별적으로 선택된다.

제19도는 제18도에 표시된 스위치회로의 일예를 나타내는 개략도이다.

제18도에 표시된 스위치회로 SW1-SW3는 각각 제19도에 표시된 n채널 트랜지스터 Tr12와 Tr13 및 인버터(14)를 포함한다.

블록 선택신호 BSi는 n채널 트랜지스터 Tr12와 Tr13의 게이트에 주어지고, 이 트랜지스터의 드레인은 워드 드라이버 WD의 접지선 VSiDP 공통으로 접속된다. n채널 트랜지스터 Tr12는 소스가 더미 GND 라인(30)의 전위 Vss'에 접속되고, n채널 트랜지스터 Tr13는 그 소스가 워드선의 로우레벨 VssDP 접속된다.

제20도는 제18도의 동작을 나타내는 타임차트이다.

제20(a)도를 참조하면, 워드 드라이버 WD2가 블록선택신호 BS2에 의하여 선택될 때, 제20(b)도에 표시된 바와 같이, 워드 드라이버 WD2의 접지선은 워드선의 로우레벨 Vss로부터 더미 GND 라인(30)의 전위 Vss'로 상승한다.

로우 디코더(11)로부터의 워드선 구동신호 WD21가 제20(c)도에 표시된 시점에서 H레벨로 상승하기 전, 워드 드라이버 WD2에 접속된 워드선 WL21과 비선택 워드선 WL22이 제20(d)도에서와 같이 워드선의 로우레벨 Vss로부터 더미 GND 라인(30)의 전위 Vss'로 상승한다. 워드선 구동신호 WD21가 H레벨로 상승할 때, 워드선 WL21만이 승압전압 Vpp으로 상승한다.

이때, 제20(e)도를 참조하면, 비선택 워드선 WL22는 더미 GND 라인의 전위 Vss'로 유지되고, 따라서 디스터브 리프레시 특성(disturb refresh characteristic)이 악화되지 않는다.

블록 선택신호 BS1과 BS3이 제20(f)도에서와 같이, L레벨이기 때문에, 워드 드라이버 WD1과 WD3는 선택되지 않고, 그 접지선은 제20(g)도에서와 같이 워드선의 로우레벨 Vss로 유지되고, 워드선 WL1과 WL3은 제20(h)도에서와 같이 워드선의 로우레벨 Vss로 유지된다.

제18도에 표시된 실시예에서, 센스증폭기 SA1-SA4에 의하여 분할된 메모리셀 어레이블록 MC1-MC3이 예로서 설명되었다.

그러나, 워드선의 로우레벨은 다른 임의의 블록에서 스위치될 수 있다.

제21도는 본 발명의 제4특징에 따른 제3실시예의 동작을 나타내는 타임차트이다.

제18도에 표시된 실시예에서, 선택된 블록의 모든 워드선의 L레벨이 더미 GND 라인(30)의 전위 Vss'가 될 때, 선택된 블록의 비선택 워드선에 접속된 메모리셀의 디스터브 리프레시 특성이 악화된다.

제21도에 표시된 실시예는 이 문제점을 개선한다.

더욱 구체적으로, 제21(a)도를 참조하면, 블록선택신호 BS2의 상승에 응답하여, 스위치회로의 활성화신호 $\phi 2$ 는 제21(b)도에서와 같이 기간 t1에서만 H레벨을 유지한다. 활성화신호 $\phi 2$ 가 상승함에 따라, 선택된 블록의 워드선의 L레벨은 더미 GND 라인(30)의 전위 Vss'로 된다.

블록 선택신호 BS2의 상승으로부터 기간 t1의 경과후에, 특정의 워드 드라이버 WD2가 활성화되고, 선택 워드선 WL21은 승압전압 Vpp 레벨로 상승한다. 활성화신호 $\phi 2$ 가 기간 t2의 경과후 하강할 때, 비선택 워드선 WL22의 레벨은 더미 GND 라인(30)의 전위 Vss'로부터 워드선의 로우레벨 Vss로 복귀한다.

따라서, 선택된 블록의 비선택 워드선에 접속된 메모리셀의 디스터브 리프레시 특성의 악화를 방지할 수 있다.

제22도는 본 발명의 제5특징에 따른 제1실시예를 나타내는 개략도이다.

이 실시예는 제4도와 제5도의 실시예의 조합으로, 예를 들면 누설에 의한 서브쓰레숄드(subthreshold)전류의 레벨저하 등을 보상하기 위한 스스테인회로(sustain circuit)(15)를 부가적으로 포함한다. 더미 GND 라인(30)에는, n채널 트랜지스터 Tr1와 Tr2가 제4도의 실시예에서와 유사하게 접속되고, 제5도에 표시된 n채널 트랜지스터 Tr3와 차동증폭회로(8)가 접속된다. 서스테인 회로(15)가 또한 더미 GND 라인(30)에 접속된다. 서스테인 회로(15)는 발진기(16)와 펌핑회로(pumping circuit)(17)를 포함하고, 발진기(16)에 의하여 발생된 발진신호에 응답하여 펌핑회로(17)는 전원전압 Vcc를 더미 GND 라인(30)에 단속적으로 공급한다.

제22도에 표시된 실시예의 동작을 설명한다.

스탠바이 상태에서, n채널 트랜지스터 Tr1에 접속된 다이오드로부터 n채널 트랜지스터 Tr1의 문턱 전압 V_{thn} 의 레벨이 더미 GND 라인(30)에 제공된다. 발진기(16)로부터의 발진출력에 응답하여, 펌핑회로(17)에 의하여 더미 GND 라인(30)에 접속된 서스테인 회로가 전원전압 V_{cc} 을 단속적으로 더미 GND 라인(30)에 공급하여, 누설(leakage)에 의한 서브쓰레쉬홀드 전류 등의 레벨 저하를 보상한다.

활성화 상태에서는, 큰 전류가 소비되는 센스증폭기 동작중에만, n채널 트랜지스터 Tr가 도통되고, 센스 전원선의 저항이 저하되며, 더미 GND 라인(30)의 부상이 제어되어 센스동작의 동작속도가 증가한다. 활성화 기간에는, 센스증폭기 동작기간 이외에, 차동증폭회로(8)가 활성화되어 칼럼회로동작에 따라 I/O 라인으로부터 유입되는 전하에 의한 더미 GND 라인(30)의 부상을 보상하고 안정한 전위 $V_{ss'}$ 를 유지한다.

이 조합에 의하여, 저소비전력을 실현하고 더미 GND 라인(30)의 워드선의 로우레벨보다 높은 안정한 전위 $V_{ss'}$ 의 발생을 가능하게 한다.

제23도는 본 발명의 제6특징에 따른 제1실시예를 나타내는 개략도이다.

제23도에 표시된 이 실시예에서는, 제101도에 표시된 어레이 회로의 센스증폭기를 활성화하기 위한 센스 구동선 SN이 L레벨인 경우, 워드선의 로우레벨보다 높은 더미 GND 전위 $V_{ss'}$ 로 설정된다.

이러한 목적으로, 비교회로(8)와 더미 GND 레벨 발생회로(9)가 제공되고, 비교회로(8)의 출력으로부터는, 더미 GND 전위 $V_{ss'}$ 가 더미 GND 레벨 발생회로(19)로부터 발생하여 센스 구동선 SN에 인가된다. 비교회로(8)는 센스 구동선 SN과 기준전압을 비교한다. 비교회로(8)로부터의 출력에 응답하여 도통되는 방전 트랜지스터는, 예를 들면, 더미 GND 레벨 발생회로(19)로서 사용될 수 있다. 센스증폭기(2)가 활성화될 때만 활성화되도록 활성화 신호가 비교수단(8)에 주어진다. 그 이유는 센스 구동선 SN이 프리차지시 에 소망의 프리차지 레벨로 설정 되기 때문이다.

제24도는 제23도의 동작을 나타내는 타임차트이다.

종래기술의 제57도를 참조하여 이미 설명한 바와 같이, 워드선 WL이 제24(a)도에서와 같이 승압전압 V_{pp} 으로 상승할 때, 초기 신호는 제24(e)도에서와 같이 비트선쌍 BL, \overline{BL} 으로 독출된다.

제24(b), 24(c)도에 표시된 센스증폭기 활성화신호 S0, S_1 에 의하여 센스증폭기(2, 4)가 센스동작을 시작한다.

이때, 비교회로(8)는 활성화신호 S0에 의하여 활성화되어, 센스 구동선 SN의 레벨을 기준전압과 비교하고, 센스 구동선 SN의 레벨이 기준전압과 동등하게 될 때까지 더미 GND 레벨 발생회로(19)가 방전하게 된다. 센스 구동선 SN의 레벨이 기준전압과 같은 경우, 더미 GND 레벨 발생회로(19)의 방전동작은 정지되고, 센스 구동선 SN의 전위강화가 정지한다.

결과적으로, 센스구동선 SN의 전위는 워드선의 로우레벨 보다 높은 더미 GND 전위 $V_{ss'}$ 가 되고, 비트선 BN의 L레벨 전위는 더미 GND 전위 $V_{ss'}$ 가 된다.

제25도는 본 발명의 제6특징에 따른 제2실시예를 나타낸다.

이 실시예에서, 더미 GND 전위 $V_{ss'}$ 를 발생하는 더미 GND 발생회로(19)는 별도로 설치되고, n채널 트랜지스터 Tr 14가 센스증폭기 활성화신호 S0에 의하여 도통될 때 센스 구동선 SN의 전위는 더미 GND 전위 $V_{ss'}$ 로 방전되도록 강제된다.

제23도에 표시된 실시예에서는, 각 센스증폭기에 비교회로(8)와 더미 GND 레벨 발생회로(9)를 설치하는 것이 필요하다.

그러나, 제25도에 표시된 이 실시예에서는, 하나의 더미 GND 레벨 발생회로(19)가 많은 센스증폭기에 대하여 필요하고, 필요한 것은 각 센스증폭기에 대하여 n채널 트랜지스터 Tr 14를 설치하는 것이다.

그러므로, 배치 간격을 줄일 수 있다.

제26도는 본 발명의 제6특징에 따른 제3실시예를 나타낸다.

이 실시예에선, 센스 구동선 SN을 워드선의 로우레벨로 방전하는 경로와 센스 구동선을 더미 GND 전위 $V_{ss'}$ 에 방전하는 2개의 경로를 설치한다.

더욱 구체적으로는, 센스 구동선 SN에, n채널 트랜지스터 Tr15와 Tr 16가 접속된다. n채널 트랜지스터 Tr15는 그 소스가 제25도에 표시된 더미 GND 레벨 발생회로(19)에 접속되고, n채널 트랜지스터 Tr 16의 소스는 접지된다. n채널 트랜지스터 Tr15는 그 게이트에서 제2활성화신호 S02를 받고, n채널 트랜지스터 Tr16는 그 게이트에서 제1활성화신호 S01를 받는다.

제27도는 제26도에 표시된 실시예의 동작을 나타내는 타임차트이다.

제26도의 실시예의 동작을 제27도를 참조하여 설명한다.

센스동작이 시작하는 기간 t_8 에서, 제1활성화신호 S01는 제27(d)도에서와 같이 H레벨이 되고, n채널 트랜지스터 Tr 16는 도통된다.

그 결과, 센스 구동선 SN이 워드선의 로우레벨로 방전되고, 기간 t_8 이후에 제1활성화신호 S01는 L레벨이 되어 n채널 트랜지스터 Tr16의 방전을 중지한다. 기간 t_9 에서, 제2활성화신호 S02는 제27(e)도에서와 같이 H레벨이 되고, n채널 트랜지스터 Tr15는 도통되며, 센스 구동선 SN은 더미 GND 전위 $V_{ss'}$ 로 방전된다.

그 결과, 센스 구동선 SN의 L레벨로의 하강 경사가 급준하게 되어, 응답성이 향상된다.

더욱 구체적으로는, 제26도의 n채널 트랜지스터 Tr16가 형성되지 않고, 센스동작이 n채널 트랜지스터 Tr15에 의해서만 시작된 직후에 센스 구동선 SN이 더미 GND 전위 V_{ss} '로 방전된다면, n채널 트랜지스터 Tr15의 소스·드레인 전압은 낮아지고, n채널 트랜지스터 Tr15의 방전하는 힘이 약화되어, 하강이 덜 급준하게 된다.

반대로, n채널 트랜지스터 Tr16가 n채널 트랜지스터 Tr15와 병렬로 형성되고 센TM 구동선 SN의 레벨이 초기 단계에서 워드선의 로우레벨로 방전되는 경우에는, 큰 전위차로 인하여 큰 방전력을 얻을 수 있으므로, 하강 경사가 급준하게 된다.

제26도를 참조하면, 제1 및 제2활성화신호 S01와 S02는 지연회로를 사용하여 스위치될 수 있고 또한 신호가 비트선의 레벨이나 센스 구동선 SN의 레벨의 변화를 모니터링하여 스위치될 수 있다.

제28도는 본 발명의 제6특징에 따른 제4실시예를 나타낸다.

이 실시예에서, n채널 트랜지스터 Tr17는 제26도에 표시된 n채널 트랜지스터 Tr15와 접지 사이에서 직렬로 접속되어, n채널 트랜지스터 Tr17의 문턱전압 만큼 센스 구동선 SN의 레벨이 더 높게 된다.

더욱 구체적으로는, n채널 트랜지스터 Tr17는 그 게이트가 센스 구동선 SN에 접속되고, 그 드레인은 트랜지스터 Tr15의 소스에 접속되며, 그 소스는 접지된다.

이 실시예에서도 또한, 처음에는 트랜지스터 Tr16가 제1활성화신호 S0에 의하여 도통되어 센스 구동선 SN을 방전하고 그 뒤 트랜지스터 Tr15가 제2활성화신호 S02에 의하여 활성화되어 센스 구동선 SN의 전위가 트랜지스터 Tr17의 문턱전압에 도달하도록 방전된다.

일반적으로, 센스동작이 센스증폭기에서 안정화된 후의 센스 구동선의 레벨은 방전되거나 충전되지 않는다.

그러므로, 그 레벨을 안정화하기 위하여 필요한 것은 센스증폭기의 리크전류를 보상하는 것이다. 트랜지스터 Tr17에 접속된 다이오드를 사용하여, 보상이 실현된다.

제28도에 표시된 실시예에서, 전위 V_{ss} '는 트랜지스터 Tr17에 접속된 다이오드의 문턱전압에 의하여 얻을 수 있다.

그러므로, 제26도에서와 같이 더미 GND 레벨 발생회로(19)를 별도로 설치하는 것이 불필요하다.

제29도는 본 발명의 제6특징에 따른 제5실시예를 나타내는 개략도이다.

제29도의 이 실시예에서, 센스 구동선 SN의 레벨과 기준전압은 기준회로(20)에 의하여 비교되고, 센스 구동선 SN이 방전되도록 방전 트랜지스터 Tr16은 비교출력에 의하여 제어되며 방전 트랜지스터 Tr의 방전은 센스 동작이 비활성화인 때 트랜지스터 Tr26에 의하여 정지된다. 비교회로(20)는 p채널 트랜지스터 Tr21-Tr23와 n채널 트랜지스터 Tr24, Tr25를 포함하는 간단한 커런트 미러회로(simple current mirror circuit)로 형성된다.

더욱 구체적으로는, 트랜지스터 Tr21는 그 게이트에서 활성화신호 ϕ_1 '을 받고, 그 소스가 전원 V_{cc} 에 접속되며, 그 드레인이 트랜지스터 Tr22와 Tr23의 소스에 접속된다. 트랜지스터 Tr22는 그 게이트에서 기준전압을 받고, 트랜지스터 Tr23는 그 게이트가 센스 구동선 SN에 접속되며, 트랜지스터 Tr22는 그 드레인이 노드 B를 통하여 트랜지스터 Tr24의 드레인, 트랜지스터 Tr26의 드레인과 트랜지스터 Tr16의 게이트에 접속된다.

트랜지스터 Tr23는 노드 A를 통하여 그 드레인이 트랜지스터 Tr25의 드레인과 게이트에 접속되고, 트랜지스터 Tr24는 그 게이트가 트랜지스터 Tr25의 게이트에 접속되며, 트랜지스터 Tr24와 Tr25는 그 소스가 접지된다. 트랜지스터 Tr16는 그 드레인이 센스 구동선 SN에 접속되고, 그 소스는 접지된다. 트랜지스터

Tr26는 그 게이트에서 활성화신호 ϕ_1 '를 받고, 그 소스가 접지된다.

이하 동작을 설명한다.

센스 구동선이 1.25V로 충전되고, 예를 들어 0.5V의 기준전압이 트랜지스터 Tr22의 게이트에 인가되었다고 가정한다. 트랜지스터 Tr21는 L레벨 활성화신호 ϕ_1 '가 인가될 때 도통되고, 트랜지스터 Tr22와 Tr23의 소스에 전원전압 V_{cc} 이 인가된다.

이때, 기준전압보다 높은 1.25V의 전위가 트랜지스터 Tr23의 게이트에 인가되기 때문에, 작은 전류가 트랜지스터 Tr23를 통하여 흐르므로, 노드 A가 충전되지 않는다.

따라서, 노드 A에서의 전위가 낮아지고, 트랜지스터 Tr25로 흐르는 전류가 감소한다.

한편, 트랜지스터 Tr22는 기준전압 0.5V 이므로 도통되어 노드 B를 H레벨로 부상시킨다.

이때, L레벨의 활성화신호 S0가 트랜지스터 Tr26의 게이트에 인가되므로, 트랜지스터 Tr26는 비도통된다.

따라서, 방전 트랜지스터 Tr16의 게이트는 H레벨이 되고, 도통되어 센스 구동선의 전위를 방전한다. 노드 A의 전위가 낮아질 때, 트랜지스터 Tr25는 덜 도통되어, 노드 A의 전위가 H레벨이 되고, 노드 B에서의 전위가 L레벨이 되며, 방전 트랜지스터 Tr16가 센스 구동선 SN의 전위를 방전하는 것을 중지하도록 한다.

제30도는 본 발명의 제6특징에 따른 제7실시예를 나타내는 개략도이다.

이 실시예는 제29도에 표시된 실시예의 개량으로서, 부전위가 부전위 발생회로(9)로부터 트랜지스터

Tr24와 Tr25의 소스에 인가되도록 한 것이다. 이것은, 기준전압이 낮을 경우에는, 커런트 미러화로(20)의 동작범위가 벗어나도록 되어 있기 때문에, 커런트 미러화로(20)의 워드선의 로우레벨을 더 낮은 부전위로 설정함으로써 커런트 미러화로(20)의 동작범위 내에서 비교레벨이 설정되기 때문이다.

제31도는 본 발명의 제6특징에 따른 제8실시예를 나타내는 개략도이다.

제31도에 표시된 실시예에서는, 제29도에 표시된 실시예에 비하여 레벨변환회로가 트랜지스터 Tr23의 게이트와 센스 구동선 SN 사이에 형성되어, 비교레벨이 낮은 경우에도, 커런트 미러화로(20)의 동작범위 내에서 동작할 수 있다.

더욱 구체적으로는, 트랜지스터 Tr23는 그 게이트가 트랜지스터 Tr27의 드레인과 게이트에 접속되며, 트랜지스터 Tr27는 레지스터(21)를 통하여 소스에서 전원전압 Vcc를 받고 그 소스는 센스 구동선 SN에 접속된다. 트랜지스터 Tr27가 다이오드 접속되므로, 센스 구동선 SN의 전위는 그 레벨이 트랜지스터 Tr27의 문턱전압 Vth 만큼 시프트되고 트랜지스터 Tr23의 게이트에 인가된다.

비교 레벨로서 작용하는 기준전압이 제29도에 표시된 실시예보다 높은 전압으로 설정된다.

예를 들면, 1.0V로 설정된다. 레벨이 시프트된 센스 구동선 SN의 전위는 커런트 미러화로(20)에 의하여 기준전압과 비교되고, 방전 트랜지스터 Tr16는 그 비교출력에 의하여 제어된다.

제32도는 본 발명의 제6특징에 따른 9실시예를 나타내는 개략도이고, 제33도는 제32도의 커런트 센스가 비교회로로서 사용되는 실시예를 나타낸다. 커런트 센서(31)는 전원전압 Vcc와 접지 사이에, p채널 트랜지스터 Tr31와 n채널 트랜지스터 Tr33, Tr35 및 Tr37의 직렬접속을 포함하는 경로와, p채널 트랜지스터 Tr32와 n채널 트랜지스터 Tr34, Tr36 및 Tr38의 직렬 접속을 포함하는 경로를 포함하고, 센서는 이 2개의 경로를 통하여 흐르는 전류를 비교하는 비교출력을 제공한다.

더욱 구체적으로는, 제33도에서와 같이, 기준전압이 트랜지스터 Tr35와 Tr36의 게이트에 입력되고, 트랜지스터 Tr37과 Tr38의 드레인과 게이트가 각각 다이오드 접속되고, 센스 구동선 SN에 접속된다. 트랜지스터 Tr37의 게이트가 센스 구동선 SN에 접속되지 않는 경우, 트랜지스터 Tr37과 Tr38이 모두 다이오드 접속되므로, 노드 A와 B는 모두 트랜지스터 Tr37과 Tr38의 문턱전압 Vth이 된다.

그러나, 센스 구동선 SN으로부터 트랜지스터 Tr37의 게이트로 고전위가 주어지는 경우, 노드 A에서의 전위는 상승하고, 노드 B로 전류 Ir2가 흐르는 동안 노드 A를 통하여 흐르는 전류 Ir1는 증가한다. 전류 Ir1가 감소하면, 노드 C에서의 전위는 상승한다. 노드 C에는, 방전 트랜지스터 Tr16의 게이트가 접속되므로, 방전 트랜지스터 Tr16는 노드 C에서의 전위가 상승함에 따라 도통되고, 센스 구동선 SN의 전위를 방전한다. 센스 구동선 SN의 전위가 방전되고, 전위가 낮아짐에 따라, 노드 A에서의 전위가 대응하여 낮아지고 전류 Ir1는 증가하는 반면, 전류 Ir2는 감소한다. 센스 구동선 SN의 전위가 기준전압과 거의 같게 되는 경우, 노드 C는 L레벨이 되고, 방전 트랜지스터 Tr16는 비도통되어 방전이 중단된다.

제34도는 커런트 센서의 다른 예를 나타내는 개략도이다.

제34도에 표시된 커런트 센서(31)는 제32도에 표시된 커런트 센서(31)를 단순화한 것으로서, 트랜지스터 Tr35와 Tr36가 생략되어 있다. 동작은 제32도의 커런트 센서(31)와 거의 동일하다.

제35도는 커런트 센서의 다른 예를 나타내는 개략도이다.

제34도에 표시된 커런트 센서와 비교하면, 제35도에 표시된 커런트 센서는 트랜지스터 Tr39, Tr41뿐만 아니라 Tr40, Tr42를 포함하는 전압 변환회로에 접속되어, 커런트 센서(31)의 전류비가 전압비교로 변환된다.

제36도는 히스테리시스 특성을 갖는 커런트 센서의 개략도이다.

센스 구동선 SN의 전위는 방전되어 비교전압보다 낮게 되며, 센스 구동선 SN의 전위는, 일단 기준전압 보다 높게 상승하였다가 기준전압보다 낮게 하강하는 다른 회로의 동작으로 인하여 발진할 수 있다.

이러한 발진을 흡수하기 위하여 제36도에 표시된 이 실시예에서는, 커런트 센서(32)가 히스테리시스 특성을 갖도록 된다.

더욱 구체적으로는, 커런트 센서(32)의 비교출력은 제어회로(40)뿐만 아니라 방전 트랜지스터 Tr16의 게이트에 주어진다. 커런트 센서(32)로부터의 비교출력이 H레벨인 경우, 제어회로(40)는 H레벨의 신호를 트랜지스터 Tr39의 게이트에 제공한다. 트랜지스터 Tr39는 그 드레인이 트랜지스터 Tr38의 게이트와 드레인에 접속되며, 그 소스가 접지된다. 센스 구동선 SN의 전위가 기준전압 보다 높은 경우, 커런트 센서(32)의 비교 출력에 따라 방전 트랜지스터 Tr16는 센스 구동선 SN의 전위를 방전한다.

이때, 제어회로(40)가 트랜지스터 Tr39를 도통하게 하므로, 노드 B에서 흐르는 전류는 트랜지스터 Tr38와 Tr39를 통하여 흐르는 전류의 합이고, 이는 노드 A를 통하여 흐르는 전류보다 많다. 센스 구동선 SN의 전위가 기준전압 보다 낮은 경우, 커런트 센서(32)로부터의 비교출력은 L레벨이 되고, 방전 트랜지스터 Tr16는 방전을 중단한다. 비교출력이 L레벨이 되는 것에 응답하여, 제어회로(40)는 트랜지스터 Tr39를 비도통하게 한다.

따라서, 노드 B를 통하여 흐르는 전류 Ir1는 노드 A를 통하여 흐르는 전류 Ir2보다 작게 되고, 노드 B에서의 전위는 상승하며, 비교레벨은 실질적으로 상승하여, 비교레벨의 히스테리시스를 발생한다. 센스 구동선 SN에서의 전위가 기준전압 보다 낮은 경우, 히스테리시스 특성으로 인하여 비교레벨은 더 높게 되어, 센스 구동선 SN의 레벨의 발진이 방지된다.

제37도는 제6특징에 따른 본 발명이 메모리셀의 데이터 유지시간을 테스트하기 위한 테스트 회로에 적용되는 예를 나타내는 블록도이다.

상술한 실시예는, 워드선의 로우레벨 보다 비트선의 로우레벨 전위를 높게 설정하고, 워드선의 로우레벨 보다 전위 Vss' 만큼 센스 구동선 SN의 전위를 높게 설정하는 것에 의하여 워드선 트랜지스터의 서브스

레쉬홀드 리크를 방지하도록 되어 있다.

그러나, 메모리셀의 데이터 유지시간을 테스트 하는 경우, 서브쓰레쉬홀드 리크가 있는 조건에서 테스트 하는 것이 바람직하다.

그러므로, 제37도에 표시된 실시예에서는 테스트 모드에서, 센스 구동선 SN이 워드선의 로우레벨로 설정되고, 통상 모드에서는, 더미 GND 라인의 전위 Vss'로 설정된다.

더욱 구체적으로는, 커런트 센서(31)는 기준전압을 센스 구동선 SN의 전위와 비교하고, 비교출력을 제어 회로(41)에 제공한다. 활성화신호 S0와 테스트 신호는 제어회로(41)에 제공된다. 트랜지스터 Tr41와 Tr42의 드레인은 센스 구동선 SN에 접속된다. 트랜지스터 Tr41의 소스에는, 더미 GND 전위 Vss'가 제25도에 표시된 더미 GND 레벨 발생회로(19)로부터 제공된다. 트랜지스터 Tr42는 그 소스가 접지된다. 활성화신호 S0가 제공될 때, 제어회로(41)는 H레벨의 신호를 트랜지스터 Tr41의 게이트에 제공하며, 테스트 시에는 H레벨의 신호를 트랜지스터 Tr42의 게이트에 제공한다.

그러므로 통상 사용시에, 커런트 센서(31)에 의하여 센스 구동선 SN의 전위가 기준전압 보다 높도록 설정되고, 활성화신호 S0가 제공되는 경우에는, 제어회로(41)가 트랜지스터 Tr41를 도통되게 하고 센스 구동선 SN을 더미 GND 전위 Vss'로 방전한다. 테스트시에는, 테스트 신호가 제어회로(41)에 주어지는 경우, 제어회로(41)가 트랜지스터 Tr42를 도통되게 하고 센스 구동선 SN을 접지레벨로 방전한다.

따라서, 워드선 트랜지스터의 서브쓰레쉬홀드 리크전류는 증가하고, 어레이노이즈(noise)에 의한 비선택 워드선의 레벨의 부상은 증가한다.

그러므로, 워드선 트랜지스터의 서브쓰레쉬홀드 리크전류는 증가한다.

따라서, 디스터브 리프래시 특성으로 표현되는 메모리셀 소자의 데이터 유지시간 특성은 악화되고, 특성을 평가하기 위하여 필요한 시간이 감소된다.

본 실시예는 종래기술에 비하여, 메모리 소자의 유지특성이 디스터브 특성에 의하여 확실히 개선된다.

그러므로, 이 실시예를 적용하여 메모리셀이 목표 유지시간을 만족하는 경우에는, 디스터브 테스트에 의한 유지시간특성이 확실히 개선되었음을 의미한다.

따라서, 디스터브 리프래시 등에 필요한 시간을 단축할 수 있다. 리프래시에 대한 테스트를 위한 시간의 증가, 특히 디스터브 리프래시에 대한 테스트를 위한 시간의 증가가 심각한 문제가 된다.

따라서, 본 실시예에 의한 테스트 시간이 중요하게 된다.

제38도는 제6특징에 따른 실시예가 각 메모리블록에 적용되는 예를 나타낸다.

제38도에 표시된 예에서, 복수의 더미 GND 라인(41)은 많은 메모리셀(도시되지 않음)을 포함하는 메모리 블록에 설치되고, 더미 GND 레벨 발생회로(19)는 메모리 블록(50) 외부에 설치된다. 더미 GND 전위 Vss'는 더미 GND 발생회로(19)로부터 각 더미 GND 라인(51)에 설치된다. 방전 트랜지스터 Tr16는 더미 GND 라인(51)에 각각 대응하여 배치되고, 활성화신호 S0는 각 트랜지스터의 게이트에 제공된다. 활성화신호 S0가 H레벨이 되는 경우, 더미 GND 발생회로(19)로부터 발생하는 더미 GND 전위 Vss'는 센스 구동선 SN에 제공된다.

제39도는 제6특징에 따른 본 발명이 각 메모리블록에 적용되는 다른 예를 나타낸다.

제39도에 표시된 이 실시예에서, 제26도의 실시예가 적용된다.

더욱 구체적으로는, 비교회로(8), 더미 GND 레벨 발생회로(19) 및 트랜지스터 Tr15는 메모리블록(50) 외부에 설치된다. 활성화신호 S0가 주어지는 경우, 비교회로(8)는 센스 구동선 SN의 전위를 기준전압과 비교하고, 비교출력에 따라 트랜지스터 Tr16를 도통되게 하고, 센스 구동선 SN을 접지레벨로 방전한다. 비교회로(8)로부터의 출력은 지연회로(81)에 의하여 지연되고, 소정시간이 경과한 후, 트랜지스터 Tr15는 도통되고, 센스 구동선 SN의 전위는 더미 GND 전위 Vss'로 방전된다.

제40도는 각 메모리블록에 적용된 제6특징에 따른 본 발명의 다른 예를 나타낸다. 메모리 블록(50)에는, 더미 GND 라인(31)과 접지선(52)이 교대로 배치되어 있고, 라인(51)과 (52) 사이에는, 방전 트랜지스터 Tr14와 Tr16이 배치되어 있다. 메모리블록(50) 외부에는, 비교회로(8), 지연회로(81) 및 더미 GND 레벨 발생회로(19)가 배치되어 있다. 비교회로(8)는 활성화신호 S0에 응답하여 기준전압을 센스 구동선 SN의 전위와 비교하고 비교출력에 따라, 방전 트랜지스터 Tr16가 도통되고 센스 구동선 SN이 워드선의 로우레벨로 방전된다. 비교출력은 지연회로(81)에 의하여 지연되고, 소정시간 경과후, 트랜지스터 Tr14는 도통되고, 센스 구동선 SN은 더미 GND 라인(51)의 전위 Vss'로 방전된다.

제41도는 제6특징이 각 메모리블록에 적용된 본 발명의 또 다른 예를 나타낸다.

제41도에 표시된 예는 제28도에 표시된 실시예의 개량이다.

제40도의 예에서와 같이, 접지선(52)과 (53)은 메모리블록(50)에 교대로 배치되고, 이 라인 사이에는, 방전 트랜지스터 Tr15와 Tr16 및 다이오드접속된 트랜지스터 Tr17이 배치된다. 비교회로(8)로부터의 비교출력에 따라, 방전 트랜지스터 Tr16는 워드선의 로우레벨로 방전되고, 지연회로(81)에 의하여 결정된 소정시간이 경과한 후, 방전 트랜지스터 Tr15는 도통되고, 센스 구동선 SN의 전위는 트랜지스터 Tr17의 문턱전압만큼 방전된다.

제42도는 본 발명의 제7특징에 따른 제1실시예를 나타내는 개략도이다.

제42도는 다이내믹 RAM의 메모리셀 블록, 센스증폭부 및 센스증폭기 구동회로를 표시하며, 워드선 WL,

비트선상 BL, \overline{BL} , 메모리셀 MC, 공유 센스증폭기의 전달게이트 BSA, BSB, 그 제어신호 BI, p채널 센스증폭기 PSA, p채널 센스증폭기 구동선 SP, n채널 센스증폭기 NSA, n채널 센스증폭기 구동선 SN, 비트선

이퀄라이저 회로 EQ, 이퀄라이저 제어회로 PLEQ 및 I/O 버스용 스위치 회로 IOSW를 포함한다.

또한 본 발명의 특징인 더미 GND 레벨 발생회로(19)와 전원강압회로(power supply voltage lowering circuit)(60)를 포함한다. 전원강압회로(60)는 전원전압 Vcc를 저하하는 것에 의하여 주어지는 강압된

전압 Vcc'를 제공하며, 강압된 전압 Vcc'는 스위치회로 SW10를 통하여 p채널 센스증폭기구동선 S₁'에 제공된다. 더미 GND 레벨 발생회로는 워드선의 로우레벨보다 높은 더미 GND 전위 Vss'를 제공하고, 더미 GND 전위 Vss'는 스위치회로 SW11를 통하여 n채널 센스증폭기(2)의 구동선 SN에 제공된다. 스위치회로

SW10는 신호 S₁'에 의하여 도통되어 센스증폭기 구동선 S₁'을 제어하며, 스위치회로 SW11는 신호 SU/L와 SFU/L에 의하여 도통되어 n채널 센스증폭기(2)의 센스구동선 SN을 제어한다.

제43도는 제42도에 표시된 실시예의 동작을 나타내는 타임차트이다.

제43도는 제42도에 표시된 다이내믹 RAM의 내부동작을 나타내는 주요 클럭(clock)을 표시한다.

더욱 구체적으로는, 타임차트는 외부입력 RAS, CAS 및 An, 내부 로우어드레스신호 RAn, 내부 칼럼어드레스신호 CAn, 로우 프리디코드 신호 Si, j, k, 칼럼 프리디코드신호 Yi, j, k, 마스터 로우(row)신호 ϕx , 그 디코드신호인 워드선 WL의 트리거신호 $\phi x1$ 과, 센스동작 종료후 제공되는 칼럼 이네이블신호 ϕy , 칼럼선택신호이며 I/O 버스를 센스증폭기에 접속하기 위하여 사용되는 신호 CSL 및 데이터 출력 Dout를 나타낸다.

제42도에 표시된 실시예의 동작을 제43도를 참조하여 설명한다.

우선, 전달 게이트 BSA 및 BSB가 모두 도통되고, 메모리 블록(1a, 1b)이 센스증폭기 밴드(2a)에 접속되며, 비트선쌍 BL, \bar{BL} 이 제43(m)도에 표시된 바와 같이 이퀄라이저 회로(3)에 의하여 $VBL(=(Vcc'+Vss')/2)$ 로 프리 차지된다. 메모리셀 블록(1a)이 선택되면, 메모리셀 블록(1b)은 전달 게이트 BSB에 의하여 센스증폭기 밴드(2a)로부터 분리된다.

이후, 제43(1)도에서와 같이 워드선 WL이 H로 상승하면, 데이터는 메모리셀 MC로부터 비트선 BL로 독출되어 센스증폭기(2, 4)로 전달된다. n채널 세(2)가 활성화되면, 스위치회로 SW11는 제43(n)도에서와 같이 신호 SFU/L, SUL/L에 의하여 도통되고, 더미 GND 레벨 발생회로(19)에 의하여 발생된 더미 GND 전위 Vss'는 스위치회로 SW11를 통하여 센스 구동선 SN에 제공된다.

p채널 센스증폭기(4)가 활성화되는 경우, 스위치회로 SW10는 제43(p)도에서와 같이 신호 S₁'에 의하여 도통되고, 전원 강압회로(60)에 의하여 강압된 전압 Vcc'는 스위치회로 SW10를 통하여 p채널 센스 구동선 SP으로 제공된다. 센스증폭기(2, 4)에 의하여, 비트선쌍 BL, \bar{BL} 의 전위는 각각 Vcc', Vss'로 증폭된다.

상기 실시예를 참조하여 이미 설명한 바와 같이, 로우레벨 비트선을 더미 GND 전위 Vss'로 설정하여 얻은 효과를 이하 상세히 설명한다.

제44, 45도는 본 발명의 효과를 설명한다.

(1) 디스터브 리프레시에 대하여 안정하게 된다. 선택된 블록의 비트선은 전위 Vcc'와 Vss'로 증폭되고, 거기에 접속된 선택되지 않은 메모리셀에서는, 메모리셀 트랜지스터 MT의 게이트전위가 $Vss = 0V$, 비트선 BL이 Vss'0V이고, 스토리지 노드의 전위가 제44도에서와 같이 H레벨 전위 Vss'이다. 이 경우에, 메모리셀 트랜지스터 MT의 서브쓰레쉬홀드 전류(제44도에서 화살표로 표시)는 비트선 BL의 전위와 워드선 WL의 전위가 모두 0V인 종래에 비하여 실질적으로 감소한다.

(2) 메모리셀 트랜지스터 MT의 문턱전압 VTM이 낮게 설정될 수 있고 신뢰성이 향상된다. (1)에서 설명한 대로, 디스터브 리프레시에 대하여 강하게 되기 때문에, 메모리셀 트랜지스터 MT의 문턱전압 VTM은 종래보다 낮게 설정될 수 있다. 그러므로, 워드선의 승압전압 Vpp(메모리셀에 충분히 높은 H레벨의 데이터를 기록하기 위하여 Vpp 값은 반드시 $VppVcc'+VTM$ 을 만족해야 한다)을 낮게 설정하는 것이 가능하므로, 트랜지스터의 신뢰성이 향상된다.

(3) 승압전압 발생회로가 불필요하다. 종래에는, 소수 캐리어 인젝션(carrier injection)의 관점에서 메모리셀 기판 혹은 웰전위가 부전위로 설정되어야 했다. 그러나, 본 발명에서는, 메모리셀의 로우레벨이 전위 Vss'이고, 기판(웰)의 전위가 워드선의 로우레벨 Vss이다. 따라서, 메모리셀에서 보면, 기판은 실질적으로 부전압의 바이어스 전위로 설정된다. 승압전압 발생회로가 불필요하게 되므로, 소비전력이 감소한다.

(4) 트리플 웰 구조가 불필요하다. ISSCC 89 Digest of Technical Papers pp. 248-249에서 개시된 바와 같이, P기판을 사용하는 경우에는 인젝션(injection)을 방지하도록 부전위 Vbb로 웰 전위를 설정하고, 트랜지스터의 성능을 향상하도록 워드선의 로우레벨 Vss로 주변회로를 설정하기 위하여 트리플 웰을 사용하여야 한다.

그러나 본 발명에서는, 메모리셀부의 비트선과 메모리셀의 L레벨이 더미 GND 전위 Vss'로 설정되고, 웰 전위가 워드선의 로우레벨로 설정되므로, 주변 회로와 웰전위의 L레벨을 모두 워드선의 로우레벨 Vss로 설정할 수 있게 되어, 제45도에 표시된 것과 같이 통상의 트윈(twin)웰 구조로 상기 트리플 웰 구조의 기능을 실현할 수 있다.

제46-50도는 제42도에 표시된 다양한 클럭신호를 발생하기 위한 개략도이다.

더욱 구체적으로는, 제46도는 로우 프리디코더 출력 Xi, j, k를 발생하기 위한 회로를 나타내고, 제47도는 마스터 로우 디코드신호(master row decode signal) ϕxi 를 발생하기 위한 회로를 표시하며, 제48도

는 워드선 구동신호를 발생하기 위한 회로를 표시하고, 제49도는 칼럼 SFU/L 신호를 발생하기 위한 회로를 표시하고, 제50도는 칼럼 선택신호를 발생하기 위한 회로를 나타낸다.

제46도에서와 같이, 내부 어드레스신호 A0-A3는 로우 어드레스 버퍼(61)에 인가되고, 로우 어드레스 신호 RA0, RA1, RA2, RA3가 출력되며 그 중 로우 어드레스신호 RA2, RA3가 로우 프리 디코더(62)로 인가되어 로우 프리디코드 신호 X1, X2, X3, X4로 디코드된다. 로우 어드레스신호 RA0, RA1 및 RA2는 제47도에 표시된 서브 디코더(63)에 제공된다. 서브 디코더(63)에는, 마스터 로우신호 ϕx 가 제공되어 있고, 로우 어드레스신호 RA0, RA1 및 RA2에 응답하여 서브 디코더(63)는 마스터 로우신호 ϕx 를 선택하고 $\phi x1-\phi x4$ 를 출력한다.

제46도에 표시된 로우 프리디코드신호 X1-X4는 제48도에 표시된 로우 디코더(64)로 제공되고, 제47도의 신호 $\phi x1-\phi x4$ 의 일부는 제48도의 선택 게이트 Tr51의 게이트로 제공된다. 선택 게이트 Tr51가 신호 $\phi x1$ 에 의하여 도통되는 경우, 로우 디코더(64)의 디코드된 출력은 n채널 트랜지스터 Tr54와 p채널 트랜지스터 Tr55를 구성하는 워드선 드라이버를 통하여 워드선 구동신호로서 출력된다.

마스터 로우신호 ϕx 는 제49도에 표시된 지연회로(67)에 의하여 지연되어 AND 게이트(65)의 일측 입력단에 주어진다. 로우 프리디코드 출력 X1 혹은 X3과 X2 혹은 X4는 OR 게이트(65)를 통하여 AND 게이트(66)의 타측 입력단에 주어지고, AND 게이트(66)로부터 신호 SFU/L가 제공된다.

제50도에서와 같이, 칼럼 프리디코드신호 Yi, j, k, l은 도시되어 있지 않은 칼럼 프리디코더로부터 출력되고 칼럼 디코더(69)에 인가되며, 그 출력은 인버터(68)에 의하여 반전되어 CSL 신호로서 출력된다.

제46-49도에 표시된 여러 클럭신호를 발생하는 회로의 동작을 제43도를 참조하여 간단히 설명한다.

제43(c)도에서와 같이, 내부 어드레스신호 Sn는 어드레스 버퍼(61)로 주어지고, 어드레스 버퍼(61)로부터 제43(d)에 표시된 것과 같이 로우 어드레스 신호 RAn로서 출력되고 로우 프리디코더(62)에 주어진다. 로우 프리디코더(62)로부터, 프리디코드신호 Xi가 제43(f)도에서와 같이 출력된다.

제43(j)도에서와 같이, 마스터 로우신호 ϕx 와 로우 어드레스신호 RAn로부터, 제43(k)도에서와 같이, 서브 디코더(63)는 신호 $\phi x1-\phi x4$ 를 출력한다.

제48도에 표시된 로우 디코더(64)는 로우 프리디코더출력 Xi, j, k에 따라 디코드 동작을 수행하고, 선택 게이트 Tr51는 신호 ϕxi 에 응답하여 도통되어 제43(l)도에서와 같이 워드선 구동신호를 출력한다. 마스터 로우신호 ϕx 는 지연회로(67)에 의하여 지연되고, 로우 프리디코드 출력 X1은 혹은 X3 및 X2 혹은 X4의 OR(논리합)은 OR 게이트(65)로 구하고, OR 게이트(65)로부터의 출력과 지연회로(67)로부터의 출력의 AND가 AND 게이트(66)에 의하여 제공되고, 신호 SFU/L가 제43(n)도에서와 같이 출력된다.

제50도를 참조하면, 칼럼 디코더(69)는 칼럼 어드레스신호 Yi-Yl의 AND를 제공하고, 그 출력은 인버터(68)에 의하여 반전되어 CSL 신호로서 출력된다.

제51도는 본 발명의 제7특징에 따른 제2실시예를 나타내는 개략도이다.

제51도의 실시예에서, 제42도에 표시된 전달 게이트 BSA와 BSB는 p채널 트랜지스터 Tr61-Tr64에 의하여 대체되고, 제42도에 표시된 전압강하회로(60)가 생략되며, p채널 센스증폭기(4)의 구동선 S1'에는 트랜지스터 Tr65를 통하여 전원전압 Vcc'가 제공된다. 트랜지스터 Tr61과 Tr62는 제어신호 BL1'L에 의하여 제어되고, 트랜지스터 Tr63과 Tr64는 제어신호 BL1'a에 의하여 제어된다.

제42도에 표시된 이퀄라이저 회로는 제51도에 표시되어 있지 않다.

제52도는 제51도에 표시된 실시예의 동작을 나타내는 타이밍차트이다.

제51도에 표시된 실시예의 동작을 제52도를 참조하여 설명한다.

프리차지시에, 제어신호 VL1'L, VL1'a는 L레벨이고, 트랜지스터 Tr61-Tr64는 도통되며, 비트선 BL1'는 전위 VBL로 프리차지된다. 좌측 블록이 선택되면, 제어신호 BL1'a는 H레벨이 되고, 트랜지스터 Tr63, Tr64는 비도통된다.

그 뒤, 제52(a)도를 참조하면, 워드선 WL는 전위 Vpp로 상승하고, 데이터는 메모리셀(1)로부터 제52(b)도에 표시된 비트선쌍 BL1'로 판독된다. 판독된 데이터는 n채널 센스증폭기(2)에 의하여, 그 뒤 p채널 센스증폭기(4)에 의하여 증폭된다.

이때, n채널 센스증폭기(2)의 구동선 SN은 스위치(71)를 통하여 접지레벨 Vss에 접속되며, p채널 센스증폭기(4)의 구동선 S1'은 트랜지스터 Tr65를 통하여 전원전압 Vcc'에 접속된다. BL1'L가 워드선의 로우레벨 Vss 이므로, 비트선쌍 BL1'의 H레벨은 전원전압 Vcc'의 레벨이고, L레벨은 워드선의 로우레벨 Vss 보다 트랜지스터 Tr61, Tr62의 문턱전압 Vth 만큼 높게 부상한다.

더욱 구체적으로는, 워드선의 로우레벨보다 문턱전압 Vth 만큼 높은 레벨 Vss'이다.

제51도에 표시된 실시예에서, 제42도에 표시된 더미 GND 발생회로(19)는 불필요하다.

또 센스증폭기는 각각 로우레벨 Vss 까지 오나전히 스윙(swing)하므로, 감도가 향상된다.

제53도는 본 발명의 제7특징에 따른 제3실시예를 나타내는 개략도이다.

이 실시예는 제51도의 개량으로서, 센스 구동선 SN, \overline{BL} 이 이퀄라이저되고, 비트선쌍 BL, \overline{BL} 의 전위가 $VBL=(Vcc'+Vss')/2$ 가 아니라 $Vcc'/2$ 인 경우의 제51도의 문제점을 다룬다.

더욱 구체적으로 이 실시예에서는, 센스 구동선 SN이 스위치회로(71)를 통하여 트랜지스터 Tr65, Tr66의 드레인에 접속되고, 트랜지스터 Tr65는 게이트에서 제어신호 DC를 입력하고 소스가 접지되어 있다. 트랜지스터 Tr66는 게이트에서 제어신호 DC를 입력하고 소스에서는 더미 GND 레벨 발생회로(19)로부터의 전위 Vss'를 받는다.

제54도는 제53도의 실시예의 동작을 나타내는 타임차트이다.

제53도에 표시된 실시예의 동작을 제54도를 참조하여 설명한다.

센스동작을 시작할 때, 제54(a)도의 로우 어드레스 스트로브신호 \overline{RAS} 는 L레벨이 되고, 이 신호는 지연되어 제어신호 DC로서 제공된다.

더욱 구체적으로는, 제어신호 DC가 제54(d)도에서와 같이 Vcc' 로 상승할 때, 트랜지스터 Tr65는 도통하며, 센스 구동선 SN이 스위치회로(71)를 통하여 워드선의 로우레벨 Vss 레벨이 된다.

즉, 센스증폭기(2)가 워드선의 로우레벨 Vss와 전원전위 Vcc' 간의 전위차로 동작하여, 감도가 더욱 향상된다.

그 뒤, 소정시간이 경과한 후, 제어신호 \overline{DC} 는 Vcc' 로 상승하여, 트랜지스터 Tr66가 도통하여, 전위 Vss'가 더미 GND 레벨 발생회로(19)로부터 센스 구동선 SN으로 인가되고, 센스증폭기(2)의 프리차지 전위가 비트선 전위 VBL과 동등하게 된다.

더욱 구체적으로 제53도에 표시된 실시예에서는, 센스동작의 초기상태에서, 센스구동선 SN은 워드선의 로우레벨 Vcc' 간의 전위차로 동작하고, 그 뒤 소정시간이 경과한 후 제54(f)도에서와 같이 워드선의 로우레벨 Vss 보다 높은 전위 Vss'와 전원전압 Vcc' 사이에서 동작한다.

제55도는 본 발명의 제7특징에 따른 제4실시예를 나타내는 개략도이다.

제55도에 표시된 실시예에서, 센스 구동선 SN의 전위는 트랜지스터 Tr67, Tr68에 의하여 워드선의 로우레벨 Vss와 더미 GND 전위 Vss' 사이에서 스위치된다. 트랜지스터 Tr67는 제어신호 SFU/L에 의하여 도통되고, 트랜지스터 Tr68는 제어신호 SU/L에 의하여 제어된다. 트랜지스터 Tr67는 소스가 워드선의 로우레벨 Vss에 접속되고, 트랜지스터 Tr68는 소스가 더미 GND 레벨 발생회로(19)에 접속된다.

제56도는 제55도에 표시된 실시예의 동작을 나타내는 타임차트이다.

제56(c)도에서와 같이, 센스동작의 시작시점에서, 신호 SFU/L는 H레벨이 되고, 트랜지스터 Tr67는 도통되고, 센스 구동선 SN은 워드선의 로우레벨 Vss가 된다.

따라서, 센스증폭기(2)는 워드선의 로우레벨 Vss와 전원전압 Vcc' 사이에서 동작하여 센스의 초기단계에서의 감도를 더욱 향상시키고 센스동작을 더욱 빠르게 한다.

제56(e)도를 참조하면, 비트선 BL의 L레벨전위가 더미 GND 레벨 Vss'로 되기 전에, 신호 SFU/L는 L레벨이 되고, 제어신호 SU/L는 제56도에서와 같이 H레벨이 되어, 트랜지스터 Tr68는 도통되고, 더미 GND 레벨 Vss'는 센스 구동선 SN에 주어져서, 비트선 BL, \overline{BL} 의 오버스윙(overswing)을 방지한다.

제57도는 본 발명의 제8특징에 따른 원리를 나타낸다.

본 발명의 제8특징에서는, 제1(b)도에 표시된 본 발명의 제1특징에서처럼 워드선의 로우레벨보다 소정전위만큼 더 높은 더미 GND 레벨이 설정되고 또한 외부 전원전압 Ext. Vcc 보다 소정전위만큼 낮은 내부전원전압 Int. Vcc가 발생되어, IC가 내부전원전압 Int. Vcc 레벨과 더미 GND 레벨 사이에서 동작한다. IC 동작전압은 DRAM 메모리셀의 데이터 유지특성을 향상하도록 선택되고, 다른 전위가 다른 회로부에 대하여 설정된다.

제58도는 본 발명의 제8특징에 대하여 워드선의 서브쓰레쉬홀드 리크전류를 나타낸다.

제57도에 표시된 상태에서, 메모리셀을 포함하는 비트선 시스템의 동작전압은 내부전원전압 Int. Vcc와 더미 GND 사이이다. 다시 말하면, 비트선의 L레벨측의 진폭레벨이 더미 GND이다. 워드선의 비선택 레벨이 GND 레벨이다.

결과적으로, 워드선의 비선택 레벨이 비트선의 L레벨에 대하여 상대적으로 더 낮게 되어 서브쓰레쉬홀드 리크전류가 감소한다. 이에 대하여 제58도를 참조하여 설명한다.

제58도는 워드선의 서브쓰레쉬홀드 리크를 나타내는 것으로서, 횡축은 게이트 전압을 나타내고, 종축은 리크전류의 Log 값을 나타낸다. 기판 전위가 주어지지 않을 때 워드선의 서브쓰레쉬홀드 리크전류특성은 a로 표시되고, 접합 리크전류의 레벨은 d로 표시된다. 게이트 전압이 0V인 경우, 서브쓰레쉬홀드 리크전류는 접합 리크전류보다 작게 유지된다. 부(negative)의 기판전위가 주어지는 경우에는 b로 표시된 것과 같이 변화하여 더욱 감소한다.

그러나 실제로는, c로 표시된 것과 같이 소스·드레인간의 전압의 인가 상태와 온도상승에 따라 특성이 변화하여, 게이트 전압이 0V인 경우에는 서브쓰레쉬홀드 리크전류가 b로 악화된다. 이 상태에서, 접합 리크전류에 대한 마진이 거의 없으므로, c로 표시된 접합 리크전류보다 크게되는 것이 가능하여, 고감도로 작은 게이트전위 노이즈에 대응한다.

그러나 이 경우, 본 발명의 적용에 의하여 게이트 전위가 상대적으로 부(負)로 설정되면, 서브쓰레쉬홀드

드 리크전류가 0로 표시된 바와 같이 충분히 작게 된다.

따라서, 기판 전위가 또한 더욱 알게 설정될 수 있다.

예를 들면, -80mV의 기판전류가 주어지면, 리크전류가 1승(one order of magnitude) 만큼 감소한다.

제59도는 본 발명의 제8특징에 따른 제1실시예를 나타내는 개략도이다.

제59도를 참조하면, p채널 트랜지스터 Tr71는 소스가 외부전원전압 Ext.Vcc의 라인에 접속되고, 게이트는 비교회로(82)의 출력에 접속되며, 드레인은 비교회로(82)의 비교입력단에 접속되고, 드레인으로부터 내부전원전압 Int.Vcc가 제공된다.

비교회로(82)는 내부전원전압 Int.Vcc과 기준전압 A를 비교하여, 외부전원전압 Ext.Vcc을 내부전원전압 Int.Vcc까지 강하한다. n채널 트랜지스터 Tr72는 드레인이 외부 GND에 접속되며, 게이트가 비교회로(82)의 출력에 접속되며, 소스가 더미 GND를 출력하고 비교회로(83)의 비교입력단에 접속된다. 비교회로(83)는 더미 GND와 기준전압을 비교하여, 외부 GND보다 조금 큰 더미 GND 레벨을 n채널 트랜지스터 Tr72로부터 발생한다.

제60도는 제59도에 표시된 실시예의 IC 동작전압을 나타내고, 제61도는 제59도에 표시된 실시예의 기준전압의 변화를 나타낸다.

제59도에 표시된 실시예에서와 같이, 내부전원전압 Int.Vcc를 일정하게 유지하면서 더미 GND를 새로 설정하는 것은 특히 DRAM 메모리 어레이 회로가 동작할 때 메모리셀의 동작전압을 더욱 감소시킨다. 이것은 메모리셀에 축적되는 전하량의 감소를 가져와서, 유지특성의 악화를 발생한다.

그러므로, 이러한 경우에는, 축적되는 전하량이 충분하도록 하기 위하여, 제60(a), 60(b), 60(c)도에 표시된 동작범위로부터 더미 GND의 시프트양에 따라 내부 전원전압 Int.Vcc이 시프트된다.

이러한 구조에 의하여 메모리셀에 축적되는 전하량이 유지되고, 서브쓰레쉬홀드 리크전류가 제59도에 표시된 구조에 의하여 억제될 수 있다.

또한, 기판 바이어스 전위가 감소하고 접합 리크전류가 또한 억제될 수 있다. 따라서, 메모리셀의 유지특성이 실질적으로 향상된다.

이것은 내부 전원전압 발생회로와 더미 GND 발생회로에 제공되는 기준전압 A, B의 차를 일정하게 유지하도록 제어함으로써 용이하게 이루어진다.

더욱 구체적으로 제61(a)-61(c)도를 참조하면, 더미 GND를 발생하기 위한 기준전압 B로부터 내부 전원전압 Int.Vcc를 발생하기 위한 기준전압 A의 전압차 Vb가 일정하도록 기준전압 A, B가 설정되어야 한다.

그러나, 제59도에 표시된 실시예에서 쉽게 이해할 수 있듯이, 내부전원전압 Int.Vcc와 더미 GND의 전위는 기준전압 A, B의 시프트양을 변경함으로써 자유롭게 조절할 수 있다.

제62도는 제59도에 표시된 기준전압을 발생하기 위한 기준전압 발생 회로의 예를 나타내는 개략도이다.

제62도를 참조하면, p채널 트랜지스터 Tr81는 그 소스가 외부전원전압 Ext.Vcc 라인에 접속되고, 그 드레인은 n채널 트랜지스터 Tr82의 드레인과 p채널 트랜지스터 Tr83의 게이트에 접속된다.

n채널 트랜지스터 Tr82는 소스가 접지되고, p채널 트랜지스터 Tr83는 소스가 p채널 트랜지스터 Tr81의 게이트, p채널 트랜지스터 Tr85의 게이트 및 저항 R1의 일단에 접속된다. 저항 R1의 타단은 외부전원전압 Ext.Vcc 라인에 접속된다. p채널 트랜지스터 Tr83는 드레인이 n채널 트랜지스터 Tr82의 게이트와 n채널 트랜지스터 Tr84의 게이트와 드레인에 접속되어 있다. n채널 트랜지스터 Tr84는 소스가 접지되며, p채널 트랜지스터 Tr85는 소스에서 외부 전원전압 Ext.Vcc을 받는다.

p채널 트랜지스터 Tr85는 드레인이 레지스터 R2, R3를 통하여 접지되어 있다. p채널 트랜지스터 Tr85와 레지스터 R2 사이의 노드로부터, 기준전압 Vref1이 제공되고, 저항 R2와 R3 사이의 노드로부터 기준전압 Vref2가 제공된다.

제62도에 표시된 기준전압 발생회로에서, n채널 트랜지스터 Tr82, Tr84와 p채널 트랜지스터 Tr83는 커런트 미러 회로를 구성하고, 따라서, p채널 트랜지스터 Tr81를 통하여 흐르는 전류 I는 저항 R1를 통하여 흐르는 전류 I와 같게 된다.

이때, p채널 트랜지스터 Tr81의 문턱값과 저항 R1의 전위강하가 같으므로, 전류량은 $I=V_{thp}/R1$ 으로 표시될 수 있다. p채널 트랜지스터 Tr81, Tr85가 같은 크기, 즉 같은 채널 폭을 갖는다면, 각 트랜지스터를 통하여 같은 전류가 흐른다.

그러나, p채널 트랜지스터 Tr85의 채널폭을 변경하여 p채널 트랜지스터 Tr81이 n배 전류구동능력을 가지게 되면, p채널 트랜지스터 Tr85를 통하여 흐르는 전류량은 nI 로서 표시될 수 있다.

따라서, 저항 R2, R3를 통하여 흐르는 전류는 nI 로서 표시될 수 있고, 기준전압 Vref1, Vref2는 다음값을 갖는다.

$$Vref1 = \{(n \times V_{thp}) / R1\} \times (R2 + R3)$$

$$Vref2 = \{(n \times V_{thp}) / R1\} \times R3$$

이때, 기준전압 Vref1과 Vref2의 차는 $Vref1 - Vref2 = \{(n \times V_{thp}) / R1\} \times R2$ 로서 표시된다.

즉, 기준전압 Vref1과 Vref2의 차는 p채널 트랜지스터 Tr85를 통하여 흐르는 전류에 의한 저항 R2의 전위강하로서 표시되므로, 기준전압 Vref1과 Vref2 간의 차이를 유지하면서 저항 R3의 저항을 변경하는 것에 의하여 시프트가 가능하다.

제63도는 제62도에 표시된 기준전압 발생회로의 개량을 나타낸다.

내부 전원전압 Int.Vcc와 더미 GND가 제62도에 표시된 기준전압 발생 회로로부터 발생된 기준전압에 기초하여 발생되고 메모리셀이 발생된 전압에 따라 동작하는 경우, 현재 DRAM에서 사용되는 1/2Vcc 비트선 프리차지 방법을 1/2Vcc 레벨 시프트하는 것이 필요하게 된다.

따라서, 제63도에 표시된 예에서, 저항 R2는 저항을 1/2로 분할하는 것에 의하여 저항 R21과 R22로 대체된다. 저항 R21과 R22간의 노드로부터, 새 기준전압(Vref1+Vref2)/2가 발생된다. 새로운 기준전압에 기초하여 1/2Vcc 발생회로가 형성되는 경우, 1/2Vcc 레벨전위가 용이하게 발생될 수 있고, 따라서 내부전원전압 Int.Vcc와 더미 접지 DNA가 변화하는 경우에도, 변화를 따를 수 있다.

제64도는 제62도에 표시된 기준전압 발생회로의 또 다른 개량을 나타내는 개략도이다.

제64도의 실시예는, 제62도에 표시된 회로구성에서 설정된 기준전압 Vref1와 Vref2에 기초하여 발생된 더미 GND와 내부전원전압 Int.Vcc가 임시로 시프트되도록 되어 있다.

더욱 구체적으로는, 더미 GND가 임시로 외부 GND와 거의 같은 전위로 설정되는 경우 사용되고, 이 실시예에서, n채널 트랜지스터 Tr86는 저항 R3에 병렬로 접속되고, n채널 트랜지스터 Tr86의 게이트에는 테스트신호가 주어진단다.

제65도는 제64도에 표시된 회로의 동작을 나타내는 파형도이다.

일반적으로, n채널 트랜지스터 Tr86에 주어지는 테스트 신호는 L레벨의 비활성화 상태이고, 기준전압 Vref1와 Vref2는 제62도를 참조하여 이미 설명한 대로 소정 전위로 설정된다.

바람직하게는, 메모리셀의 기억 용량을 유지한 상태에서 서브쓰레쉬홀드 리크전류를 가속화하여 메모리셀의 유지특성을 평가하고자 하는 경우에는, 테스트신호를 H레벨로 활성화하여, 기준전압 Vref2를 외부 GND로 단락(short-circuiting)하여 내부전원전압 Int.Vcc과 더미 GND 간의 전위차를 일정하게 유지하면서 전위를 내리는 것이 가능하다. 테스트 종료후에는, 테스트신호가 다시 비활성화되고, 기준전압 Vref1와 Vref2의 전위가 이전의 전위로 설정된다.

제66도는 제66도에 표시된 기준전압 발생회로의 다른 예를 나타내는 개략도이다.

제66도에 표시된 기준전압 발생회로에서, 제62도의 저항 R2는 병렬 접속된 n개의 저항 R211, R212, ..., R21n로 치환되고, 저항 R3는 병렬 접속된 m개의 저항 R311, R312, ..., R31m로 치환된다.

각 저항 R211, R212, ..., R21n에 대응하여, 퓨즈 911, 912, ..., 91n가 형성되고, 저항 R311, R312, ..., R31n에 대응하여, 퓨즈 921, 922, ..., 92n가 형성된다. 레이저 트리밍(laser treaming) 혹은 다른 방법으로 퓨즈 911, 912, ..., 91n를 절단하여 각 저항값을 변경함으로써, 기준전압 Vref1과 Vref2가 조정된다.

저항 R311, R312, ..., R31m로부터의 전압강하에 의하여 결정된 전압이 기준전압 Vref2로서 출력되고, 기준전압 Vref1과 Vref2 간의 전압으로서, 저항 R211, R212, ..., R21n와 R311, R312, ..., R31n의 전압강하에 의하여 결정된 전압이 출력된다. 저항값은 끊어지는 퓨즈의 수가 많아짐에 따라 증가하고 따라서 전압값이 자유롭게 조정된다.

제67도는 기준전압 발생회로의 또 다른 예를 나타낸다.

제67도에 표시된 기준전압 발생회로에서, n채널 트랜지스터 Tr911, Tr912, ..., 91n, Tr921, Tr922, ..., Tr92m은 퓨즈 911, 912, ..., 91n, 921, 922, ..., 92m에 각각 직렬로 접속되어 있다. 퓨즈를 절단하기 전에, 기준전압 Vref1와 Vref2의 값을 조정하도록 대응하는 트랜지스터가 도통되어, 테스트 결과가 확정되고, 그 뒤 퓨즈가 절단되어 소망의 전압을 출력한다.

이러한 경우, n채널 트랜지스터 Tr911, Tr912, ..., 91n, Tr921, Tr922, ..., Tr92m을 고려하여야 한다.

제67도에 표시된 실시예는 테스트에 적용될 뿐만 아니라 특수한 용도에 적용될 수도 있다.

예를 들면, DRAM이 장시간 동안 사용되지 않는 경우에 DRAM 메모리셀의 리프레시를 제어하여 리프레시 시간의 인터벌(interval)이 표준 규격으로 규정되는 것 보다 크게하여 DRAM의 병목(bottleneck)인 리프레시 동작의 소비 전류를 감소시킨다.

이때, 소비전류를 더욱 감소하는 것이 바람직하다면, 리프레시 동작간의 인터벌을 넓히는 것에 의해 동작전압을 줄일 수도 있다.

이러한 상황에서, 제67도에 표시된 전류가 최적 상태로 동작전압을 시프트하도록 사용되어 소비전류를 감소할 수 있다.

제68도는 칩이 사용되지 않는 경우 리프레시 동작시에 소비전류가 감소 되는 예의 개략도이다.

예를 들면, DRAM에서 통상의 동작에서는, 워드선의 서브쓰레쉬홀드 리크전류는 통상동작을 왜곡하여 증가한다.

따라서, 메모리셀의 동작전압이 본 발명의 회로에 의하여 수정되고 정전위(constant potential)용 전원이 보다 저 전위측의 전원보다 약간 높게 설정된다고 가정한다.

이후, 리프레시 동작이 실행되는 장시간 동안 칩이 사용되지 않는 상태를 유지한다.

이러한 경우, 왜곡이 많지 않고 따라서 왜곡에 의한 리크전류의 증가가 심각한 문제가 되지 않는다.

그 뒤, 메모리셀의 동작전압의 저 전위측을 저하하는 것에 의하여, 메모리셀의 접합의 전계를 작게하여, 접합리크로 인한 리크전류의 증가를 작게할 수 있다.

제68도에 표시된 실시예는 이러한 경우 Int.VccA 및 B와 더미 GND 및 B 간의 내부 전원전압을 스위치하도록 적용된 것이다.

제68도를 참조하여 구성을 설명한다.

p채널 트랜지스터 Tr101는 내부 전원전압 Int.VccA를 발생하기 위한 기준신호 X1를 소스에서 받고, 게이트에서 클럭신호 ϕ 를 받으며 드레인이 비교회로(84)의 비교 입력단에 접속되어 있다. 비교회로(84)로부터의 출력은 p채널 트랜지스터 Tr103의 게이트에 접속된다.

트랜지스터 Tr103는 소스에서 외부 전원전압 Ext.Vcc를 받고 드레인이 비교회로(84)의 기준 입력단에 접속되어 내부전원전압 Int.Vcc A를 출력한다. 내부 전원전압 Int.VccB를 발생하기 위한 기준신호 X2는 비교회로(85)의 비교입력단에 주어지고 비교회로(85)로부터의 출력은 p채널 트랜지스터 Tr104의 게이트에 접속된다. p채널 트랜지스터 Tr104는 소스에서 외부 전원전압 Ext.Vcc를 받고 드레인이 비교회로(85)의 기준 입력단에 접속되어 내부전원전압 Ext.Vccb를 출력한다.

비교회로(84)와 (85)의 비교입력단 사이에서는, p채널 트랜지스터 Tr102가 클럭신호 ϕ 가 주어지는 게이트에 접속된다. n채널 트랜지스터 Tr110는 더미 GND 레벨을 발생하기 위한 기준신호 Y1를 소스에서 받고, 게이트에서 클럭신호 ϕ 를 받으며 트랜지스터는 드레인이 비교회로(87)의 비교입력단에 접속된다. 비교회로(87)의 출력은 소스가 외부 GND에 접속되어 있는 n채널 트랜지스터 Tr112의 게이트에 접속된다.

n채널 트랜지스터 Tr112는 드레인이 비교회로(87)의 기준 입력단에 접속되어 더미 GND를 출력한다. 더미 GND의 레벨을 발생하기 위한 기준신호 Y2는 비교회로(86)의 비교입력단에 제공되고, 비교회로(86)의 출력은 n채널 트랜지스터 Tr111의 게이트에 접속된다. 이 트랜지스터의 소스는 외부 GND에 접속된다.

n채널 트랜지스터 Tr111는 드레인이 비교회로(86)의 기준 입력단에 접속되고 더미 GND를 출력한다. 비교회로(86)와 (87)의 비교 입력단 사이에는, n채널 트랜지스터 Tr109가 클럭신호 ϕ 가 인가되는 게이트에 접속된다.

또한, 내부 전원전압 Int.VccB와 더미 GNDB 사이에는, p채널 트랜지스터 Tr105와 n채널 트랜지스터 Tr107의 직렬회로 뿐만 아니라 p채널 트랜지스터 Tr106와 n채널 트랜지스터 Tr108의 직렬회로가 접속되어 있다. p채널 트랜지스터 Tr105와 n채널 트랜지스터 Tr107은 게이트에서 입력신호를 받고, 드레인이 p채널 트랜지스터 Tr106와 n채널 트랜지스터 Tr108의 게이트에 각각 접속되며, p채널 트랜지스터 Tr106와 n채널 트랜지스터 Tr108는 드레인이 출력으로 사용된다.

제69도는 제68도에 표시된 회로의 동작을 나타내는 타임차트이다.

사용시에는, 신호 ϕ 가 제69(a)도에서와 같이 H레벨이 되고, ϕ 가 제69(b)도에서와 같이 L레벨이 된다.

결과적으로 제68도의 p채널 트랜지스터 Tr101는 도통되고, 기준신호 X1가 비교회로(84)에 주어지며, 기준신호 X2가 비교회로(85)에 주어진다. 비교회로(84)는 내부전원전압 Int.VccA를 기준신호 X와 비교하고, p채널 트랜지스터 Tr103는 그 출력에 따라 외부전원전압 Ext.Vcc를 낮추고, 제69(c)도에 표시된 것과 같이 외부 전원전압 Ext.Vcc 보다 낮은 내부 전원 전압 Int.VccA를 출력한다.

이때, 비교회로(85)는 p채널 트랜지스터 Tr104를 제어하여 외부 전원전압 Ext.Vcc이 저하되고, 따라서 내부 전원전압 Int.VccA 보다 낮은 레벨인 내부 전원전압 Int.VccB가 출력된다.

한편, 신호 ϕ 가 L레벨이 됨에 따라, n채널 트랜지스터 Tr109는 도통되고 n채널 트랜지스터 Tr110는 비도통되며, 기준신호 Y2는 비교회로(86, 87)에 주어진다. 비교회로(87)는 기준신호 Y2를 더미 GND와 비교하고, 제69(d)도에서와 같이 외부 GND 보다 높은 전위를 가지는 더미 GNDA를 출력한다.

한편, 비교회로(86)는 n채널 트랜지스터 Tr111를 제어하여, 더미 GNDA 보다 높은 레벨의 더미 GNDA가 출력된다.

한편, p채널 트랜지스터 Tr105와 n채널 트랜지스터 Tr107는 내부 전원 전압 Int.VccB와 더미 GNDB 간의 전위 V_A 로 동작하고, p채널 트랜지스터 Tr106와 n채널 트랜지스터 Tr108는 내부 전원전압 Int.VccA와 더미 GNDA 간의 V_B 로 동작한다.

사용중이 아닌 경우에, 칩 동작신호인 클럭신호가 제70(a)도에서와 같이 소정 기간동안 출력되지 않으면, 신호 ϕ 는 L레벨로 하강하고, 신호 ϕ 는 H레벨로 상승하며, 장치가 동작상태로 설정되고 클럭신호가 입력되면, 신호 ϕ 는 H레벨로 상승하고, ϕ 는 L레벨로 하강한다. 신호 ϕ 가 L레벨이 됨에 따라, 제68도의

p채널 트랜지스터 Tr102는 도통되고, 신호 ϕ 는 H레벨이되며, p채널 트랜지스터 Tr101는 비도통되고, 기준신호 X2가 비교회로(84, 85)에 입력된다.

그러므로, 비교회로(85)는 p채널 트랜지스터 Tr104가 도통되게하여, 내부전원전압 Int.VccB를 출력한다.

한편, n채널 트랜지스터 Tr109가 비도통되고 n채널 트랜지스터 Tr110가 도통되고, 비교회로(87)는 n채널 트랜지스터 Tr112를 도통되게하여, 접지 GNDB 전위를 상승시킨다.

결과적으로, p채널 트랜지스터 Tr106와 n채널 트랜지스터 Tr108를 구성하는 출력 버퍼는 전위 V_B 로 동작한다.

더욱 구체적으로는, 리크전류가 거의 없는 경우에도 사용중의 출력버퍼의 동작속도를 증가하는 것이 바람직하므로, 장치가 V_b 의 전위로 동작한다. 사용중이 아닌 경우는, 장치가 V_b 보다 낮은 전위로 V_A 로 동작하여 리크 전류를 억제한다.

제71도는 비사용상태인 경우의 기판 바이어스 전압과 승압전원회로의 동작이 제어되는 실시예의 원리를 설명한다.

제71도에 표시된 실시예에서, 사용중인 기판 바이어스 전압 V_{bb} 의 레벨은 외부 GND 보다 깊고 승압전압 V_{pp} 의 레벨은 외부 전원전압 $Ext.V_{cc}$ 보다 높으며, 비사용시의 기판 바이어스 전압 V_{bb} 의 레벨은 외부 GND 보다 얕고, 승압 전압 V_{pp} 의 레벨은 외부 전원전압 $Ext.V_{cc}$ 보다 낮다.

제72도는 기판 바이어스 전압을 제어하는 회로의 예를 나타낸다.

제72도를 참조하면, 신호 ϕ 은 n채널 트랜지스터 $Tr131$ 의 게이트에 주어진다.

n채널 트랜지스터 $Tr131$ 의 드레인인 비교회로(89)의 비교 입력단에 접속된다. 정 전류원(88)으로부터의 정전류(constant current)는 n채널 트랜지스터의 드레인에 공급된다.

비교회로(89)는 기준 입력단이 접지되어 있다. 비교회로(89)로부터의 출력은 기판전위 발생회로(90)에 접속되며, 기판전위 발생회로(90)의 출력은 n채널 트랜지스터 $Tr131$ 의 소스에 접속되고 기판 바이어스 전압 V_{bb} 을 출력한다.

제69도를 참조하여 설명한 바와 같이, 사용시에 신호 ϕ 는 L레벨이 되어, n채널 트랜지스터 $Tr131$ 가 덜 도통된다.

결과적으로, n채널 트랜지스터 $Tr131$ 의 드레인과 소스간의 저항값이 증가하고, 정전류원(88)으로부터의 전류흐름이 억제되며, 비교회로(89)의 비교 입력단위에서의 전위가 상승한다. 비교회로(89)는 비교입력을 워드선의 로우레벨과 비교하고, 그 출력이 기준전위 발생회로(87)에 주어진다.

따라서, 제71도에서와 같이, 기준전위 발생회로(87)는 기판 바이어스 전압 V_{bb} 을 외부 GND 보다 높게 한다. 비사용중에는, 신호 ϕ 가 H레벨이 도며, n채널 트랜지스터 $Tr131$ 는 도통된다.

그러므로, 저항값이 감소하여, 정 전류원(88)으로부터의 전류의 흐름을 용이하게 한다.

그 결과, 비교회로(89)의 비교 입력전압이 감소하고, 비교회로(89)로부터의 출력에 따라, 기판전위 발생회로(90)가 외부 GND 보다 기판 바이어스 전압 V_{bb} 을 더 얕게 한다.

제73도는 사용시와 비사용시에 승압전압 V_{bb} 의 전위가 다르게 제어되는 예를 나타내는 개략도이다.

p채널 트랜지스터 $Tr134$ 는 게이트에서 신호 ϕ 를 받고, 소스가 비교회로(92)의 비교 입력단에 접속된다. 비교회로(92)의 비교입력은, 소스가 접지되고 게이트가 n채널 트랜지스터 $Tr132$ 의 드레인과 게이트에 접속되는 n채널 트랜지스터 $Tr133$ 의 드레인에 접속된다. n채널 트랜지스터 $Tr132$ 는 소스가 접지되며, n채널 트랜지스터 $Tr132$ 는 그 드레인에서 정 전류원(91)으로부터의 정전류를 받는다. 비교회로(92)의 기준 입력단에는, 외부 전원전압 $Ext.V_{cc}$ 이 주어지고, 비교회로(92)로부터의 출력은 승압전압 발생회로(93)에 접속된다.

승압전압 발생회로(93)의 출력은 p채널 트랜지스터 $Tr134$ 의 드레인에 접속되며, 승압전압 V_{pp} 이 출력된다.

동작을 설명한다.

정 전류원(91)으로부터의 전류는 n채널 트랜지스터 $Tr132$ 에 흐르고, 같은 값의 전류가 n채널 트랜지스터 $Tr133$ 로도 흐른다. 신호 ϕ 가 사용시 H레벨이 되므로, p채널 트랜지스터 $Tr134$ 는 덜 도통되어, 저항값을 증가시킨다.

그 결과, 비교회로(92)의 비교입력에서의 전압이 $V_{pp}-I_r$ (이때 r 은 p채널 트랜지스터 $Tr134$ 의 저항을 나타낸다)이 된다. 비교회로(92)는 외부 전원전압 $Ext.V_{cc}$ 과 비교입력을 비교하고, 승압전압 발생회로(93)로부터 발생된 승압전압 V_{pp} 을 높인다. 장치가 비사용시에 신호 ϕ 가 L레벨이 되는 경우, p채널 트랜지스터 $Tr134$ 는 더욱 도통되어, 비교회로(92)의 비교 입력전압이 저하된다.

따라서, 비교회로(92)는 승압전압 발생회로(93)로부터 발생된 승압전압 V_{pp} 을 낮게 한다.

상술한 바와 같이, 제72, 73도에 표시된 실시예에서, 승압전압 V_{pp} 은 상승하고, 사용시의 기판 바이어스 전압 V_{bb} 은 외부 GND 보다 깊게되며, 비사용시에는 승압전압 V_{pp} 이 더 낮게되고, 기판 바이어스 전압 V_{bb} 이 얕게되며, 비사용시의 리크전류가 감소한다.

제74도는 제8특징에 따른 본 발명이 적용되는 LSI 회로를 나타낸다.

제74도에 표시된 예에서는, 동일한 기준전위 발생회로(100)로부터 발생한 복수의 기준전위에 따라 다른 전위가 SLI의 여러 회로군에 공급되어, 회로가 임의의 전위에서 각각 동작한다.

더욱 구체적으로는, 기준전위 발생회로(100)는 제62도에 표시된 것과 유사한 방법으로 구성되어, 저항 r_2, r_3, r_4 가 p채널 트랜지스터 $Tr85$ 의 드레인과 접지사이에서 직렬로 접속되고 각 노드로부터 기준전압 $V_{ref1}, V_{ref2}, V_{ref3}$ 및 V_{ref4} 가 발생된다. LSI에서, 회로군 A-F이 형성된다.

회로군 A는 외부 전원전압 $Ext.V_{cc}$ 과 외부 GND 간의 전위에서 동작하고, 회로군 B는 외부 GND와 전위 설정회로(111)에 의하여 설정된 기준전압 V_{ref1} 에 기초하여 설정되는 내부 전원전압 $Int.V_{cc1}$ 사이의 전위

에서 동작한다.

회로군 C는 외부 GND와 전위 설정회로(112)에 의하여 설정된 기준전압 Vref2에 기초하여 설정되는 내부 전원전압 Int.Vcc2 사이의 전위에서 동작한다.

회로군 D는 전위 설정회로(113)에 의하여 기준전위 Vref1에 기초하여 설정되는 내부 전원전압 Int.Vcc3과 전위 설정회로(116)에 기준전압 Vref3에 기초하여 설정되는 더미 GND1 사이의 전위에서 동작한다.

유사하게, 회로군 E는 전위설정회로(117)에 의하여 기준전압 Vref3에 기초하여 설정되는 더미 GND1 사이의 전위에서 동작한다.

회로군 F는 전위설정회로(115)에 의하여 기준전압 Vref3에 기초하여 설정되는 내부전원전압 Int.Vcc2와 전위설정회로(118)에 의하여 기준전압 Vref3에 기초하여 설정되는 더미 GND 사이의 전위에서 동작한다.

제75도는 본 발명의 제9특징에 따른 제1실시예를 나타낸다.

제75도에 표시된 실시예는 제22도에 표시된 실시예의 개량이다.

더욱 구체적으로, 제22도에 표시된 실시예에서는, 활성화시에는 차동 증폭회로(8)와 n채널 트랜지스터 Tr3가 활성화되어 더미 GND 라인(30)의 전위를 일정전위로 유지하고, 스탠바이시에는, n채널 트랜지스터 Tr2에 의하여 그 문턱전압 Vthn으로 클램프(clamp)된다.

이러한 경우, 차동증폭회로(8)의 기준전압 Vref은 $V_{ref}=V_{thn}$ 이다.

그러나, 스탠바이시에는, n채널 트랜지스터 Tr2의 서브쓰레쉬홀드 전류로 인하여 더미 GND 라인(30)의 레벨이 바람직하지 않게 저하된다.

상기 관점에서, 제75도에 표시된 실시예는 더미 GND 라인(30)의 레벨저하를 방지한다.

이러한 목적으로, n채널 트랜지스터 Tr121는 더미 GND 라인(30)과 외부 전원전압 Ext.Vcc 사이에 접속된다. 더미 GND 라인(30)의 레벨 보상회로는 n채널 트랜지스터 Tr2와 Tr121에 의하여 형성된다. n채널 트랜지스터 Tr121의 게이트 전위는 $2V_{ref}$ 로 설정된다.

따라서, n채널 트랜지스터 Tr2를 통하여 흐르는 서브쓰레쉬홀드 전류는 n채널 트랜지스터 Tr121을 통하여 흐르는 서브쓰레쉬홀드 전류와 동등하므로, 더미 GND 라인(30)의 전위가 일정하게 유지될 수 있다.

제76도는 제75도에 표시된 기준전압 Vref과 게이트전압 Vp을 발생하기 위한 회로의 개략도이다.

제76도를 참조하면, 정전류원(121)과 저항 R11 및 R12는 외부전원전압 Ext.Vcc과 외부 GND 사이에서 직렬로 접속되고, 정전류원(121)과 저항 R11간의 노드로부터는, 전위 $V_{ref}=V_{thn}$ 이 출력된다.

제77도는 제76도에 표시된 저항 R11 및 R12가 트랜지스터로 구성되는 실시예를 나타낸다.

더욱 구체적으로, 저항 R11는 n채널 트랜지스터 Tr122로 대체되고, 저항 R12는 n채널 트랜지스터 Tr123으로 대체된다.

이 실시예에서, 백게이트(back gate) 바이어스 전위는, 트랜지스터 Tr122, Tr123와 같은 문턱전압을 갖도록 설정된다.

제78도는 본 발명의 제9특징에 따른 다른 실시예를 나타낸다.

제78도에 표시된 이 실시예에서는, 제75도에 표시된 n채널 트랜지스터 Tr121 대신에, p채널 트랜지스터 Tr125가 외부전원전압 Ext.Vcc과 더미 GND 라인(30) 사이에 접속된다.

이 경우에, p채널 트랜지스터 Tr125의 게이트 전위는 $V_{cc}-V_p$ 로 바이어스된다. 다른 동작은 제75도의 것과 동일하다.

제79도는 본 발명의 제9특징에 따른 다른 실시예를 나타낸다.

제79도에 표시된 실시예에서는 제75도의 n채널 트랜지스터 Tr121 대신에, p채널 트랜지스터 Tr126가 외부전원전압 Ext.Vcc과 더미 GND 라인(30) 사이에 접속된다. p채널 트랜지스터 Tr126의 게이트전위가 $V_{cc}-V_p$ 로 바이어스된다는 것을 제외하고 동작은 제75도와 동일하다.

제80도는 제78도에 표시된 실시예의 개량을 나타낸다.

더욱 구체적으로, 게이트전압 Vp은 p채널 트랜지스터 Tr125의 게이트와 드레인에 주어진다. 서브쓰레쉬홀드 전류가 전압 Vp로부터 공급되므로, 전압 Vp는 제77도에 표시된 회로로부터 제공되고 따라서 전류보상능력을 가져야 한다.

제81도는 제80도에 표시된 실시예의 개량을 나타낸다.

더욱 구체적으로는, 제80도에 표시된 백 게이트 n채널 트랜지스터 Tr125는 백게이트의 p채널 트랜지스터 Tr127로 대체된다.

상술한 본 발명의 제9특징에 따른 실시예에서, Vp는 $V_p=2V_{ref}$ 로 설정되고, 트랜지스터의 서브쓰레쉬홀드 전류는 같은 값으로 설정된다.

그러나, 더미 GND 라인(30)의 레벨은, n채널 트랜지스터 Tr124의 서브쓰레쉬홀드 전류가 n채널 트랜지스터 Tr127 혹은 p채널 트랜지스터 Tr125의 와 동일한 경우에는, Vp가 $2V_{ref}$ 가 아닌 경우에도 일정하게 유지될 수 있다. 이러한 목적을 위하여, 각 트랜지스터의 문턱값과 크기를 조절할 수 있다.

제82도는 본 발명의 제10특징에 따른 제1실시예를 나타내는 개략 블록도이고, 제83도는 그 동작을 나타내는 타이밍차트이다.

이미 설명한 바와 같이, 내부회로(5)의 로우레벨전위의 라인을 더미 GND의 레벨 V_{ss}' 로 설정하는 것에 의하여, 메모리셀 MC의 디스터브 리프레시 시간(disturb refresh time)(데이터 유지시간)이 길게될 수 있다.

그러나, 이것은 출하(shipment) 이전의 디스터브 리프레시 시간의 테스트 시간이 길게되는 것을 의미하므로 테스트 비용이 증가한다.

따라서, 본 발명의 제10특징은, 통상 동작시의 디스터브 리프레시 시간이 긴 고성능을 유지하면서 테스트 시간이 감소하도록 한다.

제82도를 참조하면, 더미 GND 레벨 발생회로(19)에 의하여 발생한 더미 GND 레벨 v_{ss}' 은 더미 GND 라인(30)에 주어진다. 드레인이 더미 GND 라인(30)에 접속되고, 소스가 접지되며, 게이트에서 테스트 모드의 입력을 나타내는 테스트 모드 이네이블 신호 ϕ_{test} 를 받는 n채널 트랜지스터 Tr127이 형성되어 있다.

동작을 설명한다.

통상동작모드후, 신호 WE 및 CAS 가 신호 RAS 보다 먼저 하강하는 WCBR(Write and CAS Before RAS) 타이밍에 전원전압레벨 V_{cc} 보다 수 V 높은 고전압레벨이 지정된 어드레스 핀으로 입력된다. WCBR과 지정 어드레스 핀으로의 고전압 레벨의 입력이 디스터브 리프레시 가속 테스트 모드(disturb refresh acceleration test mode)를 설정한다.

설정 타이밍이 확인되고 설정 사이클이 시작될 때, 테스트 모드 이네이블 신호 ϕ_{test} 가 발생된다. 신호 ϕ_{test} 가 n채널 트랜지스터 Tr127에 입력될 때, n채널 트랜지스터 Tr127은 턴온되고 더미 GND 라인(30)을 워드선의 로우레벨 V_{ss} 로 한다.

이때, 센스증폭기의 로우레벨 전위의 라인은 더미 GND 레벨 V_{ss}' (0.5V)가 아니라, 외부패드로부터 공급되는 워드선의 진짜 로우레벨 V_{ss} (0V)이다.

따라서, 제44도에 표시된 비트선 BL의 레벨 또한 더미 GND 레벨 V_{ss}' (0.5V)가 아니라, 워드선의 로우레벨 V_{ss} (0V)로 설정되고, 메모리셀 트랜지스터 MT의 소스(비트선 BL)에 대한 게이트(워드선 WL)의 전위 V_{gs} 는 부전압 -0.5에서 0V로 변한다. 메모리셀 트랜지스터 MT의 서브 리크전류가 증가하여, 메모리셀 MC의 디스터브 리프레시 특성을 악화시킨다.

따라서, 동작이 이 모드로 되면, 디스터브 리프레시가 가속화되어 테스트시간이 감소한다.

이어서, 신호 CAS 가 RAS 보다 먼저 하강하는 CBR(CAS Before RAS) 타이밍이 확인되면, 테스트 모드 이네이블신호 ϕ_{test} 가 하강하여, n채널 Tr 127이 응답하여 턴오프되고, 더미 GND 라인(30)이 다시 더미 GND 레벨 V_{ss}' (0.5V)로 설정된다. 그 뒤 동작은 통상모드로 되돌아간다.

제84도는 본 발명의 제10특징에 따른 제2실시예를 나타내는 개략 블록도이고, 제85도는 제84도에 표시된 더미 GND 레벨 발생회로(19)의 구성을 나타내는 개략도이다. 기본구조는 제1실시예와 동일하다.

그러나, 테스트 모드 이네이블 신호 ϕ_{test} 가 더미 GND 레벨 발생회로(19)에 또한 입력된다는 점이 상이하다. 그 이유는, 충전회로(19a)를 포함하는 이러한 더미 GND 레벨 발생회로(19)에 가속 테스트 모드가 입력되어 더미 GND 라인(30)의 과다한 저하를 보상하는 경우에 테스트 모드 이네이블 신호 ϕ_{test} 로 충전회로(19a)를 정지하기 위한 것이다.

더욱 구체적으로는, 더미 GND 레벨 발생회로(19)는 충전회로(19a)와 방전 회로(19b)를 포함한다. 충전회로(19a)는 차동증폭회로(71), n채널 트랜지스터 Tr3 및 Tr129, p채널 트랜지스터 Tr128를 포함한다. 차동증폭회로(71)는 반전된 입력노드가 더미 GND 라인(30)에 접속되고, 비반전 입력노드가 기준전위 $V_{ref}(=V_{ss}')$ 를 받도록 접속된다.

n채널 트랜지스터 Tr3는 게이트가 차동증폭회로(71)의 출력노드에 접속되고, 드레인이 전원전압 V_{cc} 을 받도록 접속되며, 소스가 더미 GND 라인(30)을 받도록 접속된다. n채널 트랜지스터 Tr129는 게이트에서 테스트 모드 이네이블신호 ϕ_{test} 를 받고, 드레인이 차동증폭회로(71)의 출력노드에 접속되며, 소스가 접지된다. p채널 트랜지스터 Tr128는 게이트에서 테스트 모드 이네이블신호 ϕ_{test} 를 받고, 드레인에서 전원전위 V_{cc} 를 받으며, 소스가 차동증폭회로(71)의 전원노드(71a)에 접속된다.

방전회로(19b)는 n채널 트랜지스터 Tr1 및 Tr2를 포함한다. n채널 트랜지스터 Tr1 및 Tr2는 드레인이 모두 더미 GND 라인(30)에 접속되며, 소스가 모두 접지된다. n채널 트랜지스터 Tr1는 게이트가 더미 GND 라인(30)에 접속되며, n채널 트랜지스터 Tr2는 게이트에서 내부발생신호 ϕ 를 받는다.

테스트 모드 이네이블신호 ϕ_{test} 가 통상모드에서 L레벨인 경우, p채널 트랜지스터 Tr128는 턴온되고, n채널 트랜지스터 Tr129는 턴오프된다. p채널 트랜지스터 Tr128가 턴온되면, 전원전위 V_{cc} 가 차동증폭회로(71)의 전원노드(71a)에 주어지고, 차동증폭회로(71)가 활성화된다.

더미 GND 라인(30)이 기준전위 V_{ref} 보다 낮게되면, 차동증폭회로(71)로부터의 출력이 H레벨이 되어 n채널 트랜지스터 Tr3가 턴온되는 것에 의하여, 더미 GND 라인(30)이 충전된다. 더미 GND 라인(30)의 전위가 기준전위 V_{ref} 보다 높게되면, 차동증폭회로(71)로부터의 출력이 L레벨이 되어 n채널 트랜지스터 Tr3가 턴오프 되어, 더미 GND 라인(30)의 충전이 정지된다.

테스트 모드 이네이블신호 ϕ_{test} 가 가속 테스트 모드에서 H레벨이 되면, p채널 트랜지스터 Tr128는 턴오프되고, n채널 트랜지스터 Tr129는 턴온된다. p채널 트랜지스터 Tr128가 턴오프되면, 전원전위 V_{cc} 를 차동증폭회로(71)의 전원노드(71a)로 인가하는 것이 정지되고, 차동증폭회로(71)가 비활성화된다. n채널 트랜지스터 Tr129가 턴온되므로, 차동증폭회로(71)의 출력노드가 접지되어, n채널 트랜지스터 Tr3가 턴오프된다.

따라서 더미 GND 라인(30)의 충전이 정지된다. 방전회로(19b)의 동작은 제2도에 표시된 더미 GND 레벨 발생회로와 동일하므로 그 설명을 생략한다. 가속 테스트 모드를 설정하고 재설정하기 위한 시간은 제1 실시예와 동일하고, 제1 실시예와 유사한 효과를 얻을 수 있다.

제86도는 본 발명의 제10특징에 따른 제3실시예를 나타내는 개략 블록도이다.

이 실시예에서는, 제1 및 제2실시예와는 달리, 게이트에서 테스트 모드 이네이블신호 ϕ_{test} 를 받는 n채널 트랜지스터 Tr127가 별도로 형성되지 않고, 더미 GND 라인(30)을 워드선의 로우레벨 Vss로 하기 위하여 이미 더미 GND 레벨 발생회로(19)에 구비된 큰 사이즈의 n채널 트랜지스터가 사용된다.

상술한 실시예에서는 내부발생신호 ϕ 가 n채널 트랜지스터 Tr2의 게이트에 입력되지만, 내부발생신호 ϕ 와 테스트 모드 이네이블신호 ϕ_{test} 는 NOR RP(130)으로 입력되고, NOR 게이트(130)의 출력은 이 실시예에서 n채널 트랜지스터 Tr2의 게이트에 입력된다. 가속 테스트 모드를 설정하고 재설정하기 위한 시간은 제1 실시예에서와 동일하다. 통상 동작에서, 테스트 모드 이네이블신호 ϕ_{test} 가 L레벨이므로, n채널 트랜지스터 Tr2는 내부발생신호 ϕ 에 의하여 제어된다.

그러나, 동작이 가속 테스트 모드 설정 사이클로 들어가고, 테스트 모드 이네이블신호 ϕ_{test} 가 H레벨이 되면, n채널 트랜지스터 Tr2의 게이트는 내부발생신호 ϕ 의 상태와 관계없이 H레벨이 된다.

따라서, n채널 트랜지스터 Tr2가 턴온되어, 어레이 라인(30)을 워드선의 로우레벨 Vss로 되게한다. 제1 실시예에서와 유사한 효과가 역시 이 실시예에서도 나타난다.

제87도는 본 발명의 제10특징에 따른 제4실시예를 나타내는 개략도이며, 제89도는 그 동작을 나타내는 타임차트이다.

이 실시예의 기본적인 회로구성은 상기 제1, 2 및 3 실시예에서와 동일하고, 제87도에는 도시되어 있지 않지만, 더미 GND 레벨 발생회로(19)와 n채널 트랜지스터 Tr127 또한 구비되어 있다.

이 실시예에서는, 이들 부품 이외에, n채널 트랜지스터 Tr130이 구비되어, 드레인에서 전원전위 Vcc를 받고, 소스가 더미 GND 라인(30)에 접속되고, 게이트에서 원 샷 펄스신호(one shot pulse signal) ϕ_{test} 를 받는데 이에 관하여는 후술한다.

n채널 트랜지스터 Tr130는 가속 테스트 모드에서 워드선의 로우레벨 Vss(0V)로 되는 더미 GND 라인(30)을 리셋트 사이클시에 통상의 더미 GND 레벨 Vss'(0.5V)로 되돌리는 동작을 보조한다.

동작을 설명한다.

가속 테스트 모드에서, 테스트 모드 이네이블 신호 ϕ_{test} 는 H레벨이고, n채널 트랜지스터 Tr127는 온되며, 더미 GND 라인(30)은 워드선의 로우레벨 Vss(0V)로 된다.

그 뒤, 동작이 제1실시예에 표시된 타이밍에서 리셋트 사이클로 들어가면, 테스트 모드 이네이블신호 ϕ_{test} 는 L레벨로 하강하고, n채널 트랜지스터 Tr127는 턴오프된다. 테스트 모드 이네이블신호 ϕ_{test} 가 하강하는 것에 기초하여, 원 샷 신호 ϕ_{test} 가 발생되어 n채널 트랜지스터 Tr130의 게이트에 입력된다. 응답하여, n채널 트랜지스터 Tr130이 도통되고, 더미 GND 라인(30)은 빨리 더미 GND 레벨 Vss'(0.5V)로 된다. n채널 트랜지스터가 충전 트랜지스터 Tr130로 사용되지만, p채널 트랜지스터가 사용될 수도 있다.

그러나 이러한 경우에, 원 샷 펄스신호 ϕ_{test} 를 반전할 필요가 있다.

제89도는 본 발명의 제10특징에 따른 제5실시예를 나타내는 개략 블록도이다.

제89도를 참조하면, 이 실시예에서는 테스트 모드 이네이블신호 ϕ_{test} 에 따라 스위치하는 스위치(132)가 구비되어 있다.

스위치(132)의 일측 스위치 단자(132)는 더미 GND 레벨 발생회로(19)의 출력에 접속되고 타측 스위치 단자(132b)는 접지된 외부패드(131)에 접속되며, 공통단자(132c)는 더미 GND 라인(30)에 접속된다.

테스트 모드 이네이블신호 ϕ_{test} 가 통상모드에서 L레벨인 경우, 스위치(132)의 공통단자(132c)는 일측 스위치단자(132a)에 접속되고, 더미 GND 라인(30)은 더미 GND 레벨 Vss'로 설정된다.

테스트 모드 이네이블신호 ϕ_{test} 가 가속 테스트 모드에서 H레벨이 되면, 스위치(132)의 공통단자(132c)는 타측 스위치단자(132b)에 접속되고, 더미 GND 라인(30)은 워드선의 로우레벨 Vss로 설정된다.

스위치는 제90도에서와 같이 2개의 n채널 트랜지스터 Tr131 및 Tr132로 구성된다.

n채널 트랜지스터 Tr131 및 Tr132의 드레인은 스위치단자(132b)와 (132a)로 각각 작용하고, 소스는 모두 공통단자(132c)로 작용하며, 게이트는 테스트 모드 이네이블신호 ϕ_{test} 와 보상신호 ϕ_{comp} 를 각각 받는다.

이 실시예에서도, 제1실시예에서와 유사한 효과를 얻을 수 있다.

이 실시예는 제4실시예와 조합될 수 있다.

제91도는 본 발명의 제10특징에 따른 제6실시예에 따른 DRAM 칩 구성을 나타내는 블록도이며, 제92도는 그 주요부를 확대하여 나타내고 있다.

제91도 및 제92도를 참조하면, DRAM 칩은 복수의 메모리셀 어레이(141)와 그 사이에 설치된 주변회로영역(142)을 포함한다.

각 메모리셀 어레이(141)는 행방향으로 배치된 복수의 서브 어레이(143)와 센스증폭기의 양단 사이에 배치된 복수의 센스증폭기 밴드(144)와, 로우 디코더(145) 및 칼럼 디코더(146)를 포함한다.

서브 어레이(143)는 행(로우)과 열(칼럼)로 배치된 복수의 메모리셀(도시되지 않음)과, 각 행에 대하여 배치된 워드선(구비되지 않음) 및 각 열에 대하여 배치된 비트선쌍 BL_i를 포함한다.

센스증폭기 밴드(144)는 각 열에 대응하여 배치된 센스증폭기(2)를 포함하고 각 센스증폭기(2)는 대응하는 비트선쌍 BL_i에 접속된다.

각 센스증폭기 밴드(144)의 센스증폭기(2)는 센스 구동선 SN에 공통으로 접속된다. 주변회로영역(142)은 더미 GND 레벨 발생회로(19)에 의하여 더미 GND 레벨 Vss'가 주어지는 더미 GND 라인(30)과, 외부패드(131)를 통하여 접지된 접지선(147)과, 센스증폭기 밴드(144)에 대하여 각각 형성된 스위치(132)를 포함한다.

스위치(132)는 더미 GND 라인(30)과 센스 구동선 SN 사이에 접속된 n채널 트랜지스터 Tr132와, 접지선(147)과 센스 구동선 SN 사이에 접속된 n채널 트랜지스터 Tr131를 포함한다. n채널 트랜지스터 Tr132 및 Tr131는 각각 센스증폭기 활성화신호 SON1 및 SON2에 의하여 제어된다. 센스증폭기 활성화신호 SON1은 센스증폭기 활성화신호 SON 및 테스트 모드 이네이블신호 ϕ_{test} 를 받는 게이트회로(161)로부터 출력된다. 게이트회로(161)는 통상모드에서 테스트 모드 이네이블신호 ϕ_{test} 가 L레벨인 경우 통상 센스증폭기 활성화신호 SON를 출력한다. 테스트 모드 이네이블신호 ϕ_{test} 가 테스트 모드시에 H레벨인 경우, 게이트회로(161)는 센스증폭기 활성화신호 SON과는 관계없이 항상 L레벨을 출력한다.

제94도를 참조하면, 센스증폭기 활성화신호 SON2는, 센스증폭기 활성화신호 SON 및 테스트 모드 이네이블신호 ϕ_{test} 를 받는 AND 게이트회로(162)로부터 출력된다.

테스트 모드 이네이블신호 ϕ_{test} 가 통상모드에서 L레벨인 경우, AND 게이트회로(162)는 센스증폭기 활성화신호 SON과 관계없이 항상 L레벨을 출력한다. 테스트 모드 이네이블신호 ϕ_{test} 가 테스트 모드에서 H레벨인 경우, AND 게이트회로(162)는 통상 센스증폭기 활성화신호 SON를 출력한다.

동작을 설명한다.

통상 모드에서는, 센스증폭기 활성화신호 SON1의 H레벨로의 상승에 응답하여, n채널 트랜지스터 Tr132가 턴온되고, 더미 GND 레벨 Vss'는 센스 구동선 SN에 주어진다.

테스트 모드에서는, n채널 트랜지스터 Tr131가 센스증폭기 신호 SON2의 H레벨로의 상승에 응답하여 턴온되고, 센스 구동선 SN이 접지된다. 제1실시예에서와 유사한 효과를 이 실시예에서 얻을 수 있다. 더미 GND 라인(30)과 접지선(147)은 각각 매쉬(mesh)상으로 형성되어 메모리 어레이(141)를 커버하고, 센스증폭기의 센스 구동선 SN과 더미 GND 라인(30) 및 접지선(147)이 복수의 스위치(132)에 의하여 접속되어 있는 경우, 배선(SN30)과 (147)의 배선저항이 감소되어, 배선저항으로부터의 전위의 부상을 방지할 수 있다.

이때, 센스증폭기(2), 스위치(132)등은 실리콘기판의 표면에 형성되고, 접지선(147)과 더미 GND 라인(30)은 서로 절연되어 상기 실리콘기판 상방에 순차적으로 적층되어 있다.

제96도는 본 발명의 제10특징에 따른 제7실시예의 DRAM 칩 구성을 부분적으로 확대하여 나타내는 개략도이다.

제96도를 참조하면, DRAM 칩에서, 주변회로영역(142)은 각 센스증폭기 밴드(144)에 대하여 형성된 n채널 트랜지스터 Tr와, 더미 GND 레벨 발생회로(19)로부터 더미 GND 레벨 Vss'이 주어지는 더미 GND 라인(30)과 테스트 모드 이네이블신호 ϕ_{test} 에 응답하여 더미 GND 라인(30)을 접지하기 위한 n채널 트랜지스터 Tr127을 포함한다.

각 n채널 트랜지스터 Tr133은 각 센스증폭기 밴드(144)의 센스 구동선 SN과 더미 GND 라인(30)사이에 접속되고, 게이트에서 센스증폭기 활성화신호 SON를 받는다. n채널 트랜지스터 Tr127는 외부패드(131)과 더미 GND 라인(30)사이에 접속되고, 게이트에서 테스트 모드 이네이블신호 ϕ_{test} 를 받는다.

동작을 설명한다.

통상 모드에서, 테스트 모드 이네이블신호 ϕ 는 L레벨이고, n채널 트랜지스터 Tr127는 오프되며, 더미 GND 라인(30)은 더미 GND 레벨 Vss'로 설정된다. 테스트 모드에서, 테스트 모드 이네이블신호 ϕ_{test} 는 H레벨이 되고, n채널 트랜지스터 Tr127는 턴온되며, 더미 GND 라인(30)은 접지된다. 센스증폭기 활성화신호 SON는 H레벨이 되고, n채널 트랜지스터 Tr133은 턴온되며 센스증폭기(2)가 활성화된다.

이 실시예에서도, 제1실시예에서와 동일한 효과를 얻을 수 있다. 제6특징에 비하여, 트랜지스터의 수와 배선의 수가 감소한다.

제97도를 참조하면, 더미 GND 라인(30)이 메쉬상으로 형성되어 메모리셀 어레이(141)를 커버하고, 각 센스증폭기 밴드(144)의 센스구동선 SN과 더미 GND 라인(30)이 복수의 스위치(132)에 의하여 접속되면, 배선(SN)과 (30)의 배선저항이 감소하고, 배선저항으로부터의 전위의 부상이 방지된다.

제98도는 본 발명의 제10특징에 따른 제8실시예를 나타내는 블록도이며, 제99도는 그 동작을 나타내는 타임차트이다.

제98도를 참조하면, 이 실시예는 메모리 어레이(150), 메모리 어레이(150)의 워드선 WL을 구동하기 위한 워드 드라이버(10) 및 스위치(132)를 포함한다.

워드 드라이버(10)의 하이레벨 전위라인(10a)에는, 전원전위 Vcc로부터 승압된 고 전원전위 Vpp가 주어진다. 워드 드라이버(10)의 로우레벨 전위라인(10b)은 스위치(132)의 공통단자(132c)에 접속되며, 스위치(132)의 일측 스위치단자(132a)는 접지선(147)에 접속되고 스위치(132)의 타측 스위치단자(132b)는 더미 GND 라인(30)에 접속된다. 스위치(132)는 제89도에 표시된 것과 동일하며, 테스트 모드 이네이블신호

ϕ test에 의하여 접속된다.

동작을 설명한다.

통상 모드로부터, 동작은 제83도에 표시된 타이밍에서 가속 테스트 모드 설정 사이클로 들어가며, 테스트 모드 이네이블신호 ϕ test가 H레벨로 상승할 때 워드 드라이버(10)의 로우레벨 전위라인(10b)은 워드선의 로우레벨 Vss(0V)로부터 스위치(132)에 의하여 더미 GND 레벨 Vss'(0.5V)로 스위치된다.

결과적으로, 워드선 WL의 비선택 레벨은 워드선의 로우레벨 Vss(0V)로부터 더미 GND 레벨 Vss'(0.5V)로 상승하여, 디스터브 리프्रेस시 특성을 악화시킨다. 이는 리프्रेस시 테스트에 필요한 시간을 단축한다.

그 뒤, 동작이 리셋 사이클로 들어가면, 테스트 모드 이네이블신호 ϕ test는 L레벨로 하강하고, 워드 드라이버(10)의 로우레벨 전위라인(10b)은 다시 워드선의 로우레벨 Vss(0V)로 스위치되어, 통상 동작을 다시 시작한다.

또한, 제1-7 실시예와 조합하면, 디스터브 리프्रेस시 특성이 더욱 악화되어, 필요한 테스트 시간의 단축 효과를 더욱 증가시킬 수 있다.

제100도는 본 발명의 제10특징에 따른 제9실시예를 나타내는 블록도이다.

제100도를 참조하면, 이 실시예는 웰(151)에 형성된 메모리 어레이(150), 메모리 어레이(150)의 워드선 WL을 구동하기 위한 워드 드라이버(10), 메모리 어레이(150)의 비트선쌍 BL, ¹¹에 접속된 센스증폭기 밴드(144)를 포함한다.

이 실시예는 또한 부전위 Vbb를 발생하기 위한 부전위 발생회로(152), 접지된 외부패드(131) 및 부전위 Vpp 혹은 워드선의 로우레벨 Vss를 스위치하여 웰(151)로 공급하기 위한 스위치(132)를 더욱 포함한다.

스위치(132)의 일측 스위치 단자(132a)는 부전위 발생회로(152)의 출력에 접속되고, 타측 스위치 단자(132b)는 외부패드(131)에 접속되며, 공통단자(132c)는 웰(151)에 접속된다. 스위치(132)는 제89도에 표시된 것과 동일하며, 테스트 모드 이네이블신호 ϕ test에 의하여 제어된다.

동작을 설명한다.

통상 모드에서, 테스트 모드 이네이블신호 ϕ test는 L레벨이고, 스위치(132)의 공통단자(132c)는 일측 스위치단자(132a)에 접속되며, 부전위 Vbb는 부전위 발생회로(151)에 의하여 웰(151)에 주어진단.

결과적으로, 메모리셀 트랜지스터 MT의 서브 리크전류는 낮게 억제되고, 메모리셀 MC의 디스터브 리프्रेस시 특성이 만족스럽게 유지된다.

제83도에 표시된 가속 테스트 모드 설정 타이밍에 들어갈 때, 테스트 모드 이네이블신호 ϕ test는 H레벨로 상승하고, 스위치(132)의 공통단자(132c)는 타측 스위치단자(132b)에 접속되며, 웰(151)은 외부패드(131)를 통하여 접지된다.

따라서, 메모리셀 트랜지스터 MT의 서브 리크전류가 증가하여, 메모리셀 MC의 디스터브 리프्रेस시 특성이 악화된다.

따라서 테스트 시간이 단축된다.

이어서, 동작이 리셋 사이클로 들어가면, 테스트 모드 이네이블신호 ϕ test는 L레벨로 하강하고, 부전위 Vpp가 다시 웰(151)에 주어진단.

상기 제1-8 실시예와 조합되면, 메모리셀 MC의 디스터브 리프्रेस시 특성이 더욱 악화될 수 있고, 테스트 시간을 단축하는 효과가 더욱 향상된다.

본 발명이 상세히 설명되고 나타나여 졌다할지라도, 이는 설명과 예시를 위한 것에 불과하며, 한정되지 않고, 본 발명의 사상과 범위를 벗어나지 않고 첨부한 청구범위에 의하여만 제한됨은 명백하다.

(57) 청구의 범위

청구항 1

복수의 비트선중의 하나의 복수의 워드선중의 하나에 각각 접속된 복수의 메모리셀을 포함하는 메모리셀 어레이와, 상기 메모리셀 어레이로부터 상기 비트선에 독출되는 미소 전위차를 증폭하기 위한 센스 증폭기와, 상기 메모리셀 어레이로부터의 데이터 독출과 상기 메모리셀 어레이에의 데이터 기록을 제어하는 제어수단과, 상기 비트선, 상기 메모리셀 및 상기 센스증폭기의 로우레벨 전위라인을 상기 워드선의 로우레벨보다 높은 전위로 설정하기 위한 전위설정 수단과를 포함하며, 상기 전위 설정수단은 그의 문턱전압 만큼 상기 로우레벨 전위라인의 전위를 높이기 위한 제1반도체 소자를 포함하는 것을 특징으로 하는 반도체 기억장치.

청구항 2

제1항에 있어서, 상기 전위설정수단이, 상기 제1반도체 소자에 병렬로 접속되고 큰 전류가 흐르는 기간에 대응하는 신호에 응답하여 도통되어 상기 로우레벨 전위라인의 전위를 방전하기 위한 제2반도체 소자를 포함하는 반도체 기억장치.

청구항 3

제2항에 있어서, 상기 전위설정수단이, 상기 로우레벨 전위와 동등한 기준전압을 발생하기 위한 기준전압 발생 수단과, 상기 로우레벨 전위라인을 상기 기준전압 발생수단으로부터 발생된 기준전압과 비교하고 상기 로우레벨 전위라인의 전위를 상기 워드선의 로우레벨보다 높은 전위로 높이기 위한 전위 보상수단

을 포함하는 반도체 기억장치.

청구항 4

제3항에 있어서, 상기 전위보상수단이, 상기 로우레벨 전위라인의 전위를 상기 기준전압과 비교하기 위한 비교 수단과, 상기 비교수단으로부터의 비교출력에 응답하여 전원선의 전위를 상기 로우레벨 전위의 라인에 공급하여 로우레벨 전위라인을 상기 워드선의 로우레벨 보다 높은 전위로 설정하는 스위칭 수단을 포함하는 반도체 기억장치.

청구항 5

제2항에 있어서, 상기 전위설정수단이, 전원전위를 로우레벨 전위라인에 단속적으로 공급하여 상기 로우레벨 전위라인의 전위를 워드선의 로우레벨 보다 높은 레벨로 설정하는 유지 수단을 포함하는 반도체 기억장치.

청구항 6

제5항에 있어서, 상기 유지수단이, 단속적으로 발진하는 발진회로와, 상기 발진회로로부터의 발진출력에 응답하여 상기 전원전압을 로우레벨 전위라인에 공급하는 펄핑회로를 포함하는 반도체 기억장치.

청구항 7

복수의 비트선중의 하나와 복수의 워드선중의 하나에 각각 접속된 복수의 메모리셀을 포함하는 메모리셀 어레이와, 상기 메모리셀 어레이로부터 상기 비트선에 독출되는 미소 전위차를 증폭하기 위한 센스증폭기와, 상기 메모리셀 어레이로부터의 데이터 독출과 상기 메모리셀 어레이에의 데이터 기록을 제어하는 제어수단과, 상기 비트선, 상기 메모리셀 및 상기 센스증폭기의 로우레벨 전위라인을 상기 워드선의 로우레벨보다 높은 설정하기 위한 전위설정 수단과, 상기 로우레벨 전위라인과 스위칭 수단 사이에 접속되어 상기 워드선의 로우레벨보다 높은 전위로부터 상기 로우레벨 전위라인의 전위의 저하를 방지하는 레벨 저하 방지수단을 포함하며, 상기 전위설정수단이, 상기 로우레벨 전위라인의 전위와 동등한 기준전압을 발생하는 기준전압 발생수단과, 상기 기준전압 발생수단으로부터의 기준전압과 상기 로우레벨 전위라인의 전위를 비교하기 위한 비교수단을 포함하고, 상기 스위칭 수단이 상기 비교수단으로부터의 비교출력에 응답하여 상기 로우레벨 전위라인의 전위를 상기 워드선의 로우레벨로 방전하는 것을 특징으로 하는 반도체 기억장치.

청구항 8

제7항에 있어서, 상기 레벨저하 방지수단이 다이오드를 포함하는 반도체 기억장치.

청구항 9

제8항에 있어서, 상기 스위칭 수단과 상기 다이오드 사이의 노드와 상기 워드선 사이에 접속되어 전위변동을 흡수하는 디커플링 커패시터를 더욱 포함하는 반도체 기억장치.

청구항 10

복수의 비트선중의 하나와 복수의 워드선중의 하나에 각각 접속된 복수의 메모리셀을 포함하는 메모리셀 어레이와, 상기 메모리셀 어레이로부터 상기 비트선에 독출되는 미소 전위차를 증폭하기 위한 센스증폭기와, 상기 메모리셀 어레이로부터의 데이터 독출과 상기 메모리셀 어레이에의 데이터 기록을 제어하는 제어수단과, 상기 비트선, 상기 메모리셀 및 상기 센스증폭기의 로우레벨 전위라인을 상기 워드선의 로우레벨보다 높은 전위로 설정하기 위한 전위설정 수단과, 큰 전류가 흐르는 기간에 대응하는 신호에 응답하여 상기 전압비교수단을 불능화하는 전압비교 정지수단과, 큰 전류가 흐르는 기간에 대응하는 상기 신호에 응답하여 상기 로우레벨 전위라인의 전위의 부상을 방지하도록 상기 스위칭 수단을 동작하게 하는 부상방지수단과를 포함하는 것을 특징으로 하는 반도체 기억장치.

청구항 11

복수의 비트선중의 하나와 복수의 워드선중의 하나에 각각 접속된 복수의 메모리셀을 포함하는 메모리셀 어레이와, 상기 메모리셀 어레이로부터 상기 비트선에 독출되는 미소 전위차를 증폭하기 위한 센스증폭기와, 상기 메모리셀 어레이로부터의 데이터 독출과 상기 메모리셀 어레이에의 데이터 기록을 제어하는 제어수단과, 상기 비트선, 상기 메모리셀 및 상기 센스증폭기의 로우레벨 전위라인을 상기 워드선의 로우레벨보다 높은 전위로 설정하기 위한 전위설정수단과를 포함하며, 상기 전위 설정수단이 로우레벨 전위라인과 접지 사이에 접속되어 그의 문턱전압 만큼 상기 로우레벨 전위라인의 전위를 높이는 스위칭 소자를 포함하는 것을 특징으로 하는 반도체 기억장치.

청구항 12

제11항에 있어서, 상기 스위칭 소자가, 큰 전류가 흐르는 기간에 대응하는 신호에 응답하여 도통되는 소자를 포함하는 반도체 기억장치.

청구항 13

제12항에 있어서, 상기 스위칭소자가, 그의 입력전극이 상기 워드선의 로우레벨 이하의 전위로 저하할 때 도통되고, 상기 반도체 기억장치가, 부전위의 전압을 발생하기 위한 부전위 전압 발생수단과, 큰 전류가 흐르는 기간에 대응하는 상기 신호에 응답하여, 상기 기간동안만 상기 부전위 전압 발생수단으로부터 발생한 부전위 전압을 상기 스위칭소자의 입력전극에 인가하여 응답시간을 단축하는 스위칭 수단을 더욱 포함하는 반도체 기억장치.

청구항 14

제13항에 있어서, 상기 스위칭수단이, 큰 전류가 흐르는 기간에 대응하는 상기 기간의 전반에는 상기 워드선의 로우레벨을 상기 스위칭소자의 입력전극에 공급하고, 후반 기간에는 상기 부전위를 상기 스위칭소자의 입력전극에 공급하는 수단을 포함하는 반도체 기억장치.

청구항 15

복수의 비트선중의 하나와 복수의 워드선중의 하나에 각각 접속된 복수의 메모리셀을 포함하는 메모리셀 어레이와, 상기 메모리셀 어레이로부터 상기 비트선에 독출되는 미소 전위차를 증폭하기 위한 센스증폭기와, 상기 메모리셀 어레이로부터의 데이터 독출과 상기 메모리셀 어레이에의 데이터 기록을 제어하는 제어수단과, 상기 비트선, 상기 메모리셀 및 상기 센스증폭기의 로우레벨 전위라인을 상기 워드선의 로우레벨보다 높은 전위로 설정하기 위한 전위설정 수단과, 상기 워드선을 구동하기 위한 워드선 구동수단과, 상기 워드선 구동수단의 로우레벨 전위라인을 접지 혹은 상기 전위설정수단의 출력으로 스위칭하기 위한 스위칭수단과를 포함하는 것을 특징으로 하는 반도체 기억장치.

청구항 16

제15항에 있어서, 상기 스위칭수단이, 상기 워드선이 제1논리로부터 제2논리로 상승하기 전에 상기 라인을 상기 워드선의 로우레벨로부터 상기 전위설정 수단의 상기 출력으로 스위칭하기 위한 수단을 포함하는 반도체 기억장치.

청구항 17

제15항에 있어서, 상기 메모리셀 어레이가 복수의 블록으로 배열되고, 상기 스위칭수단이, 상기 각 블록에서 상기 워드선이 상기 제1논리로부터 상기 제2논리로 상승하기 전에 상기 라인을 상기 워드선의 로우레벨로부터 상기 전위설정수단의 상기 출력으로 스위칭하기 위한 수단을 포함하는 반도체 기억장치.

청구항 18

제17항에 있어서, 상기 스위칭수단이, 상기 각 블록에서 선택 워드선이 제1논리로부터 제2논리로 상승한 후, 비선택 워드선을 상기 전위설정수단의 출력으로부터 상기 워드선의 로우레벨로 스위칭하기 위한 수단을 포함하는 반도체 기억장치.

청구항 19

복수의 비트선중의 하나와 복수의 워드선중의 하나에 각각 접속된 메모리셀을 포함하는 메모리셀 어레이와, 상기 메모리셀 어레이로부터 상기 비트선에 독출된 미소 전위차를 증폭하기 위한 센스증폭기와, 상기 메모리셀 어레이로부터의 데이터 독출과 상기 메모리셀 어레이에의 데이터 기록을 제어하는 제어수단과, 상기 비트선, 상기 메모리셀 및 상기 센스증폭기의 로우레벨 전위 라인을 그의 문턱전압에 의해 접지전위보다 높은 전위로 설정하는 제1반도체 소자와, 상기 제1반도체 소자에 병렬로 접속되어 큰 전류가 흐르는 주기에 대응 하는 신호에 응답하여 도통하고 상기 로우레벨 전위라인의 전위를 방전하는 제2반도체 소자와, 상기 로우레벨 전위라인과 기준전위보다 낮은 상기 로우레벨 전위라인의 전위에 응답하여 소정의 전이내에서 상기 로우레벨 전위라인의 전위를 클램핑하는 기준전위를 비교하는 클램핑 수단과를 포함하는 것을 특징으로 하는 반도체 기억장치.

청구항 20

복수의 비트선중의 하나와 복수의 워드선중의 하나에 각각 접속된 메모리셀을 포함하는 메모리셀 어레이와, 상기 메모리셀 어레이로부터 상기 비트선에 독출된 미소전위차를 증폭하기 위한 센스증폭기와, 상기 메모리셀 어레이로부터의 데이터 독출과 상기 메모리셀 어레이에의 데이터 기록을 제어하는 제어수단과, 상기 센스증폭기를 구동하기 위한 구동선과, 상기 센스증폭기가 구동될 때, 상기 센스증폭기 구동선의 로우레벨 전위를 상기 워드선의 로우레벨 보다 높은 전위로 설정하기 위한 전위설정 수단과를 포함하며, 상기 전위설정수단이, 상기 센스증폭기가 구동될 때, 상기 센스증폭기 구동선의 전압을 소정 기준전압과 비교하기 위한 비교수단과, 상기 비교수단으로부터의 비교출력에 응답하여 상기 센스증폭기 구동선의 로우레벨 전위를 상기 워드선의 로우레벨 보다 높은 전위로 방전하기 위한 제1반도체 소자를 포함하고, 상기 센스증폭기가 구동되지 않을 때 상기 비교수단에 부전위 전압을 인가하는 수단을 포함하는 것을 특징으로 하는 반도체 기억장치.

청구항 21

복수의 비트선중의 하나와 복수의 워드선중의 하나에 각각 접속된 메모리셀을 포함하는 메모리셀 어레이와, 상기 메모리셀 어레이로부터 상기 비트선에 독출된 미소전위차를 증폭하기 위한 센스증폭기와, 상기 메모리셀 어레이로부터의 데이터 독출과 상기 메모리셀 어레이에의 데이터 기록을 제어하는 제어수단과, 상기 센스증폭기를 구동하기 위한 구동선과, 상기 센스증폭기가 구동될 때, 상기 센스증폭기 구동선의 로우레벨 전위를 상기 워드선의 로우레벨 보다 높은 전위로 설정하기 위한 전위설정수단과, 상기 메모리셀이 테스트 회로에 의해 테스트되어질 때 상기 센스증폭기 구동선을 상기 워드선의 로우레벨로 강제하는 로우레벨 강제수단을 포함하는 것을 특징으로 하는 반도체 기억장치.

청구항 22

제20항에 있어서, 상기 비교수단이 전류비교회로를 포함하는 반도체 기억장치.

청구항 23

제22항에 있어서, 상기 전류비교회로가, 기준레벨이 히스테리시스 특성을 가지도록하는 히스테리시스 제어수단을 포함하는 반도체 기억장치.

청구항 24

복수의 비트선중의 하나와 복수의 워드선중의 하나에 각각 접속되는 메모리셀을 포함하는 메모리셀 어레이와, 상기 메모리 어레이로부터 상기 비트선에 독출되는 미소전위차를 증폭하기 위한 센스증폭기와, 상기 비트선과 상기 센스증폭기 사이에 접속되는 전달게이트와, 상기 센스증폭기가 구동될 때, 게이트전위가 상기 워드선의 로우레벨로 설정되도록 상기 전달게이트의 게이트전위를 제어하고, 로우레벨 전위가 상기 전달게이트의 문턱전압 만큼 높게 형성되도록 상기 비트선의 로우레벨 전위를 제어하는 제어수단과를 포함하는 반도체 기억장치.

청구항 25

제24항에 있어서, 상기 제어수단이, 상기 센스증폭기가 구동될 때, 상기 비트선의 로우레벨전위를 상기 센스증폭기의 로우레벨전위 보다 높은 전위로 스위칭하는 스위칭수단을 포함하는 반도체 기억장치.

청구항 26

제24항에 있어서, 상기 제어수단이, 상기 센스증폭기가 구동될 때, 로우레벨 전위가 상기 센스증폭기의 구동 완료전의 상기 비트선의 로우레벨전위 보다 높게되도록 상기 센스증폭기의 로우레벨전위를 스위칭하는 스위칭수단을 포함하는 반도체 기억장치.

청구항 27

제24항에 있어서, 상기 센스증폭기를 구동하기 위한 구동선을 부가적으로 포함하고, 상기 스위칭수단이, 상기 센스증폭기의 구동 초기에는 상기 센스증폭기의 구동선을 상기 워드선의 로우레벨에, 초기 센스 동작 이후에는 상기 구동선을 상기 워드선의 로우레벨 보다 높은 전위에 접속하기 위한 수단을 포함하는 반도체 기억장치.

청구항 28

복수의 비트선중의 하나와 복수의 워드선중의 하나에 각각 접속되는 메모리셀을 포함하는 메모리셀 어레이와, 상기 메모리셀 어레이로부터 상기 비트선에 독출되는 미소전위차를 증폭하기 위한 센스증폭기와, 상기 메모리셀 어레이로부터의 데이터 독출과 상기 메모리셀 어레이에의 데이터 기록을 제어하는 제어수단과, 상기 비트선, 상기 메모리셀 및 상기 센스증폭기의 로우레벨 전위라인을 상기 워드선의 로우레벨 보다 높은 전위로 설정하고, 하이레벨 전위를 외부에서 주어지는 전원전압 보다 낮은 전위로 설정하기 위한 전위설정수단과를 포함하며, 상기 전위설정수단이, 상기 로우레벨전위와 상기 하이레벨전위를 각각 임의의 전위로 설정하기 위한 수단을 포함하는 반도체 기억장치.

청구항 29

제28항에 있어서, 상기 전위설정수단이, 상기 로우레벨전위와 상기 하이레벨전위의 일정전위차를 유지하면서 상기 로우레벨전위와 상기 하이레벨전위를 임의로 설정하기 위한 수단을 포함하는 반도체 기억장치.

청구항 30

복수의 비트선중의 하나와 복수의 워드선중의 하나에 각각 접속되는 메모리셀을 포함하는 메모리셀 어레이와, 상기 메모리셀 어레이로부터 상기 비트선에 독출되는 미소전위차를 증폭하기 위한 센스증폭기와, 상기 메모리셀 어레이로부터의 데이터 독출과 상기 메모리셀 어레이에 데이터 기록을 제어하는 제어수단과, 상기 비트선, 상기 메모리셀 및 상기 센스증폭기의 로우레벨 전위 라인을 상기 워드선의 로우레벨 보다 높은 전위로 설정하고, 하이레벨전위를 외부에서 주어지는 전원전압 보다 낮은 전위로 설정하기 위한 전위설정수단과를 포함하며, 상기 전위설정수단이, 제1기준전위에 기초하여 상기 하이레벨전위를 설정하는 하이레벨전위 설정수단과, 제2기준전위에 기초하여 상기 로우레벨전위를 설정하는 로우레벨전위 설정수단과를 포함하는 반도체 기억장치.

청구항 31

제30항에 있어서, 상기 제1 및 상기 제2기준전위를 발생하기 위한 기준전위 발생수단을 부가적으로 포함하는 반도체 기억장치.

청구항 32

제31항에 있어서, 상기 기준전위 발생수단이, 제1 및 제2기준전위간의 전위차를 일정하게 유지하면서 상기 제1 및 제2기준전위를 발생하는 수단을 포함하는 반도체 기억장치.

청구항 33

복수의 비트선중의 하나와 복수의 워드선중의 하나에 각각 접속되는 메모리셀을 포함하는 메모리셀 어레이와, 상기 메모리셀 어레이로부터 상기 비트선에 독출되는 미소전위차를 증폭하기 위한 센스증폭기와, 상기 메모리셀 어레이로부터 데이터 독출과 상기 메모리셀 어레이에의 데이터 기록을 제어하는 제어수단과, 상기 비트선, 상기 메모리셀 및 상기 센스증폭기의 로우레벨 전위 라인을 상기 워드선의 로우레벨 보다 높은 전위로 설정하고, 하이레벨전위를 외부에서 주어지는 전원전압 보다 낮은 전위로 설정하기 위한 전위설정수단과를 포함하며, 상기 전위설정수단이, 소정기간동안 상기 워드선의 로우레벨과 동등한 전위로 상기 로우레벨전위를 스위칭하기 위한 스위칭수단을 포함하는 반도체 기억장치.

청구항 34

복수의 비트선중의 하나와 복수의 워드선중의 하나에 각각 접속되는 메모리셀을 포함하는 메모리셀 어레이와, 상기 메모리셀 어레이로부터 상기 비트선에 독출되는 미소전위차를 증폭하기 위한 센스증폭기와, 상기 메모리셀 어레이로부터의 데이터 독출과 상기 메모리셀 어레이에의 데이터 기록을 제어하는 제어수단과, 상기 비트선, 상기 메모리셀 및 상기 센스증폭기의 로우레벨 전위 라인을 상기 워드선의 로우레벨

보다 높은 전위로 설정하고, 하이레벨전위를 외부에서 주어지는 전원전압 보다 낮은 전위로 설정하기 위한 전위설정수단과를 포함하며, 상기 전위설정수단이, 상기 제1기준전위를 임의의 전위로 설정하기 위하여 각각 병렬접속된 복수의 제1저항과, 상기 복수의 제1저항에 대응하게 직렬로 접속되어, 끊어지는 경우 제1저항중 대응하는 하나를 무효로하는 복수의 제1퓨즈와, 상기 제2기준전위를 임의의 전위로 설정하도록 각각 병렬접속된 복수의 제2저항과, 상기 복수의 제2저항에 대응하게 직렬로 접속되어, 끊어지는 경우 제2저항중 대응하는 하나를 무효로하는 복수의 제2퓨즈를 포함하는 반도체 기억장치.

청구항 35

제34항에 있어서, 상기 복수의 제1 및 제2퓨즈에 직렬로 접속되어 상기 제1 및 제2기준전위를 조정하도록 제1 및 제2퓨즈를 도통 또는 비도통되게 하는 복수의 트랜지스터를 부가적으로 포함하는 반도체 기억장치.

청구항 36

외부에서 전원전압이 공급되는 내부회로를 가지는 반도체 기억장치에 있어서, 상기 내부회로에 공급되는 하이레벨전위를 상기 외부에서 공급되는 전원전압과는 다른 전위로 설정하고, 상기 내부회로에 공급되는 로우레벨전위를 상기 워드선의 로우레벨과는 다른 전위로 설정하기 위한 전위설정수단과, 상기 전위설정수단에 의하여 설정된 하이레벨전위와 로우레벨전위를 반도체 기억장치가 사용중인가의 여부에 따라 변경하는 수단을 포함하는 반도체 기억장치.

청구항 37

반도체 기판상에 형성된 칩을 가지는 반도체 기억장치에 있어서, 복수의 비트선중의 하나와 복수의 워드선중의 하나에 각각 접속된 메모리셀을 포함하는 메모리셀 어레이와, 상기 메모리셀 어레이로부터 상기 비트선에 독출된 미소전위차를 증폭하기 위한 센스증폭기와, 상기 메모리셀 어레이로부터의 데이터 독출과 상기 메모리셀 어레이에의 데이터 기록을 제어하는 제어수단과, 상기 반도체 기판에 부레벨 기판전위를 공급하기 위한 기판전위 발생수단과, 상기 워드선에 공급되는 승압전압을 발생하기 위한 승압전압 발생수단과, 상기 승압전압과 상기 부레벨전위를 칩이 사용중인가 여부에 따라 임의의 전위로 스위칭하기 위한 전위설정수단과를 포함하는 반도체 기억장치.

청구항 38

반도체 기판상에 형성된 칩을 가지는 반도체 기억장치에 있어서, 복수이 비트선중의 하나와 복수의 워드선중의 하나에 각각 접속된 메모리셀을 포함하는 메모리셀 어레이와, 상기 메모리셀 어레이로부터 비트선에 독출된 미소전위차를 증폭하기 위한 센스증폭기와, 상기 메모리셀 어레이로부터의 데이터 독출과 상기 메모리셀 어레이에의 데이터 기록을 제어하는 제어수단과, 상기 비트선, 상기 메모리셀 및 상기 센스증폭기의 로우레벨 전위 라인을 상기 워드선의 로우레벨 보다 높은 전위로 설정하기 위한 전위설정수단과, 상기 메모리셀의 데이터 유지시간이 테스트될 때, 상기 비트선, 상기 메모리셀 및 상기 증폭기의 로우레벨 전위라인을 상기 워드선의 로우레벨로 강제하는 상기 워드선의 로우레벨 강제수단과를 포함하는 반도체 기억장치.

청구항 39

제38항에 있어서, 상기 워드선을 구동하기 위한 워드선 구동수단과, 상기 메모리셀의 데이터 유지시간이 테스트될 때, 상기 워드선의 로우레벨 전위라인을 접지측으로부터 상기 전위설정수단의 출력측으로 스위칭하는 스위칭수단을 더욱 포함하는 반도체 기억장치.

청구항 40

반도체 기판상에 형성된 칩을 가지는 반도체 기억장치에 있어서, 복수의 비트선중의 하나와 복수의 워드선중의 하나에 각각 접속된 복수의 메모리셀을 포함하는 메모리셀 어레이와, 상기 워드선을 구동하기 위한 워드선 구동수단과, 상기 메모리셀 어레이로부터 상기 비트선에 독출된 미소전위차를 증폭하기 위한 센스증폭기와, 상기 메모리셀 어레이로부터의 데이터 독출과 상기 메모리셀 어레이에의 데이터 기록을 제어하는 제어수단과, 상기 메모리셀의 데이터 유지시간이 테스트될 때, 상기 워드선 구동수단의 로우레벨 전위라인을 상기 워드선의 로우레벨 보다 높은 전위로 설정하기 위한 전위설정수단과를 포함하는 반도체 기억장치.

청구항 41

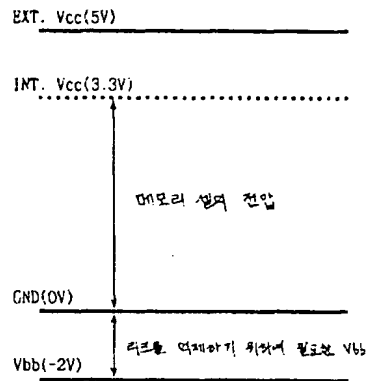
제40항에 있어서, 상기 반도체 기판에 부레벨 기판전위를 발생하기 위한 기판전위 발생수단과, 상기 메모리셀의 데이터 유지시간이 테스트되는 경우, 부레벨 기판전위보다 높은 상기 반도체기판의 기판전위를 설정하기 위한 기판전위 설정수단을 부가적으로 포함하는 반도체 기억장치.

청구항 42

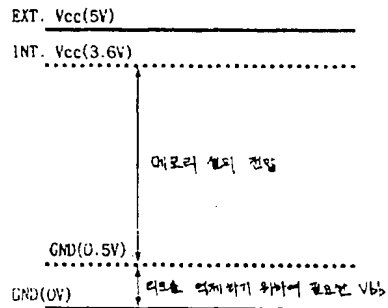
반도체 기판상에 형성된 칩을 가지는 반도체 기억장치에 있어서, 복수의 비트선중의 하나와 복수의 워드선중의 하나에 각각 접속된 메모리셀을 포함하는 메모리셀 어레이와, 상기 메모리셀 어레이로부터 비트선에 독출되는 미소전위차를 증폭하기 위한 센스증폭기와, 상기 메모리셀 어레이로부터의 데이터 독출과 상기 메모리셀 어레이에의 데이터 기록을 제어하는 제어수단과, 상기 반도체 기판에 부레벨 기판전위를 공급하기 위한 기판전위 발생수단과, 상기 메모리셀의 데이터 유지시간이 테스트될 때, 상기 부레벨 기판전위 보다 높은 상기 반도체 기판의 기판전위를 설정하기 위한 기판전위 설정수단을 포함하는 반도체 기억장치.

도면

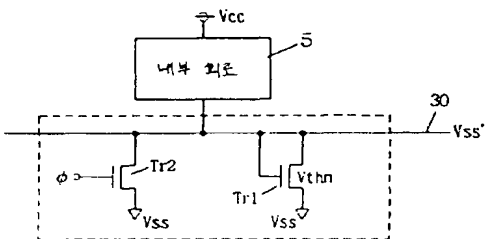
도면 1a



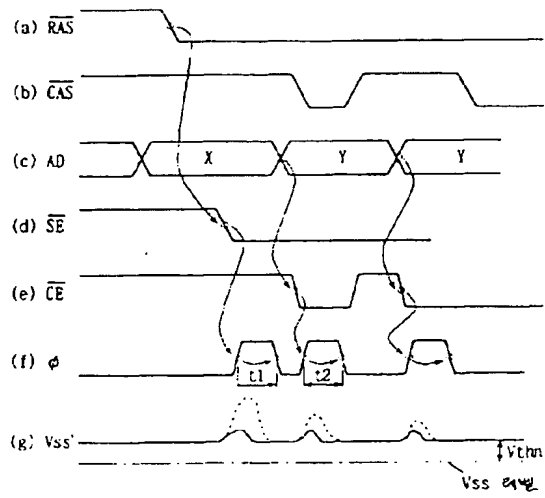
도면 1b



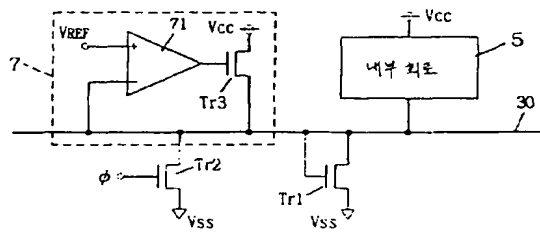
도면 2



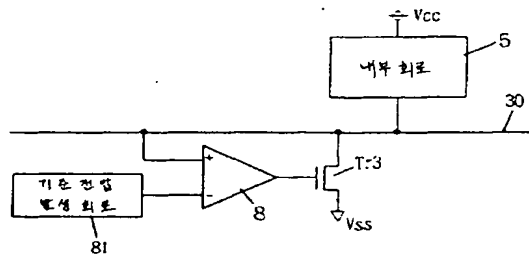
도면3



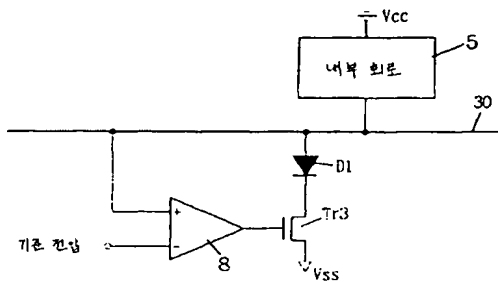
도면4



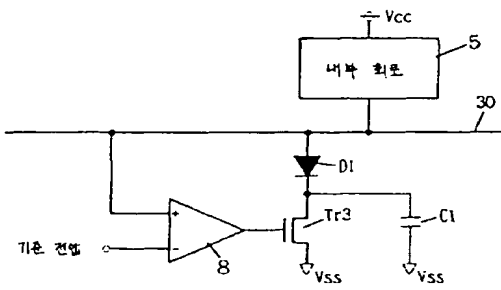
도면5



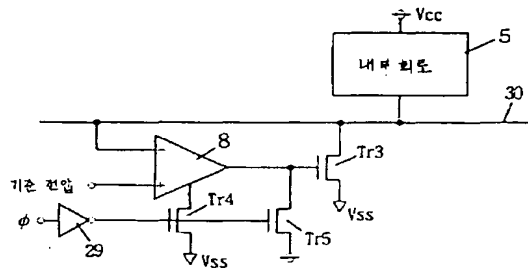
도면6



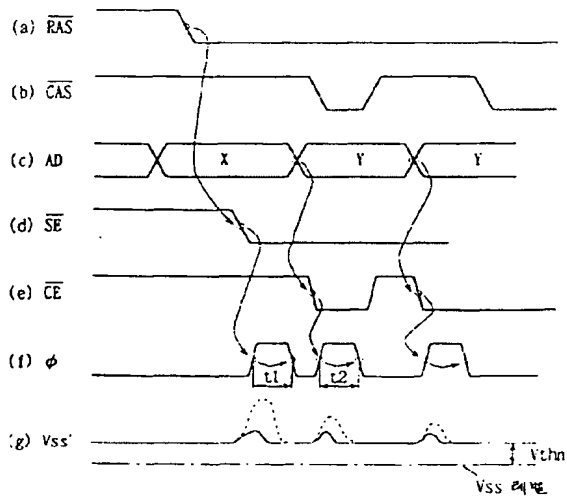
도면7



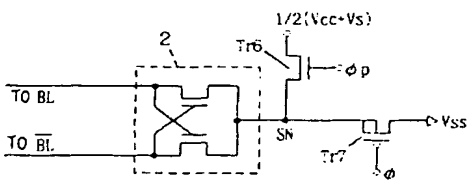
도면8



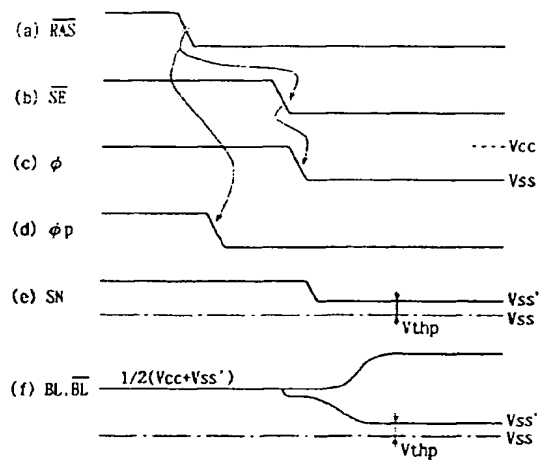
도면9



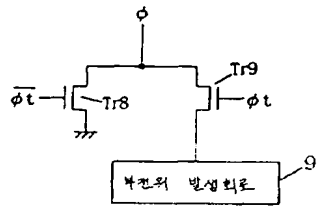
도면10



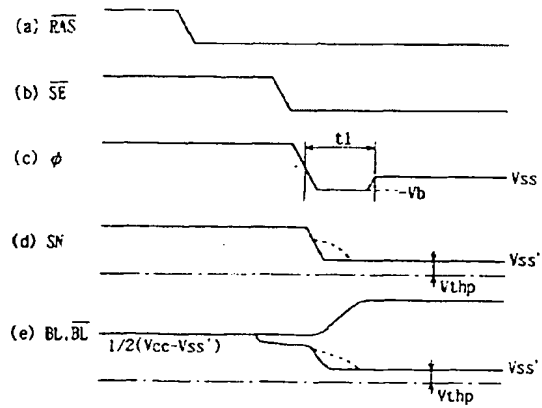
도면 11



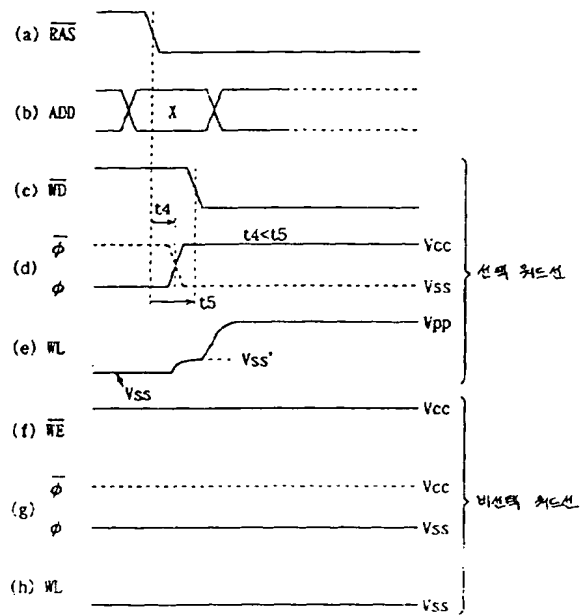
도면 12



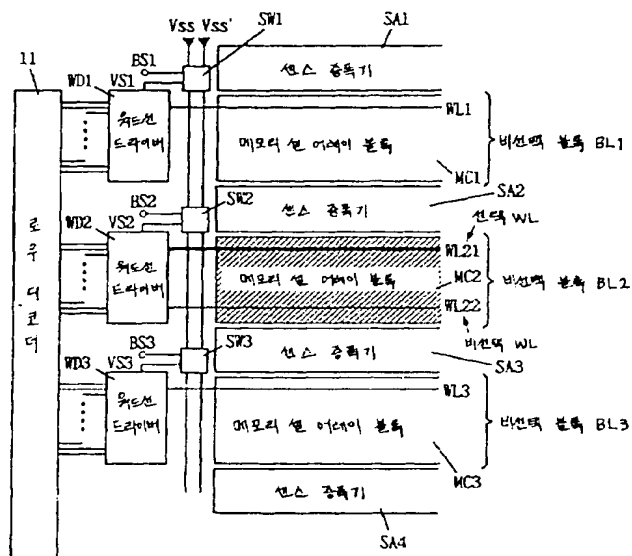
도면 13



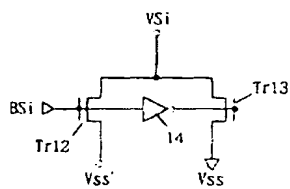
도면 17



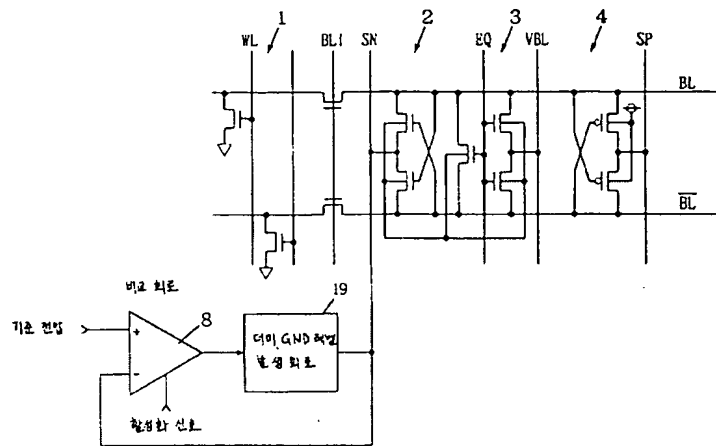
도면 18



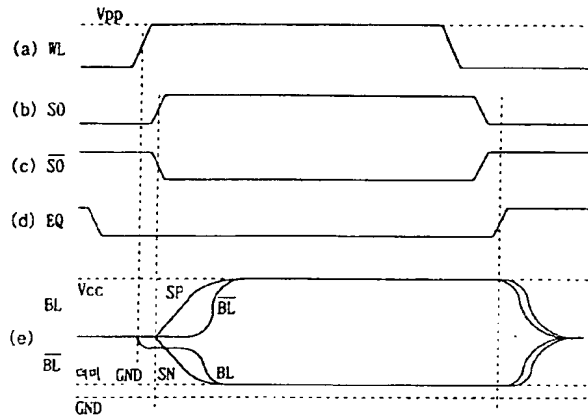
도면 19



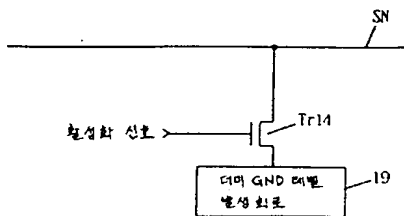
도면23



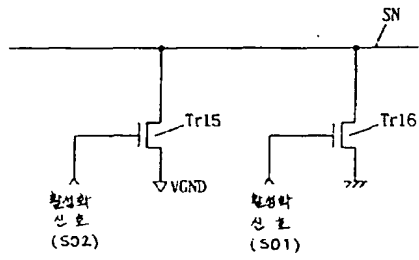
도면24



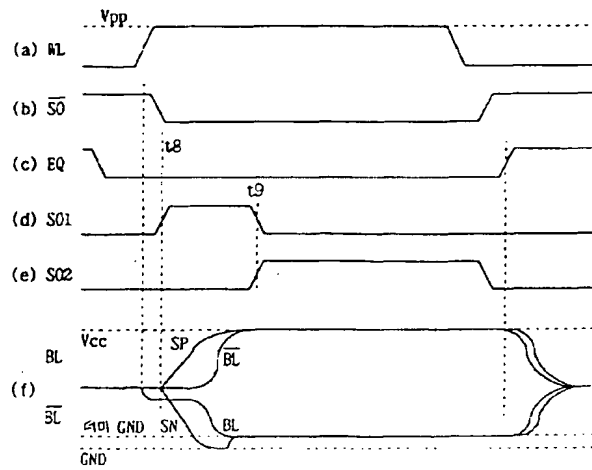
도면25



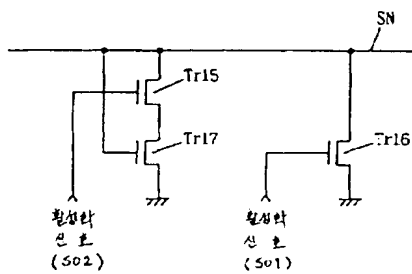
도면26



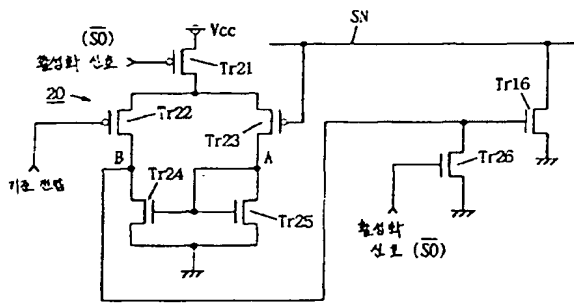
도면27



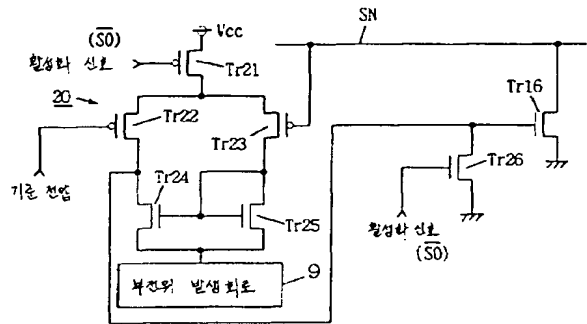
도면28



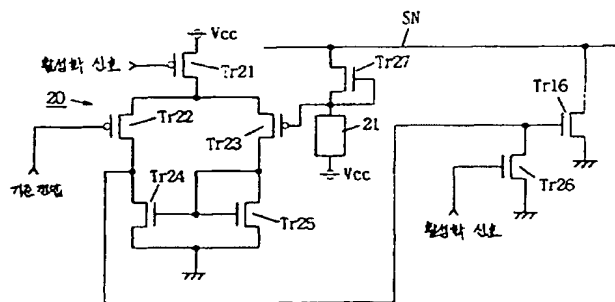
도면29



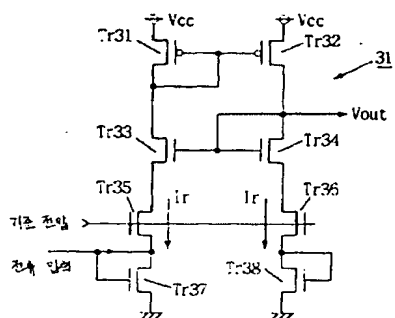
도면30



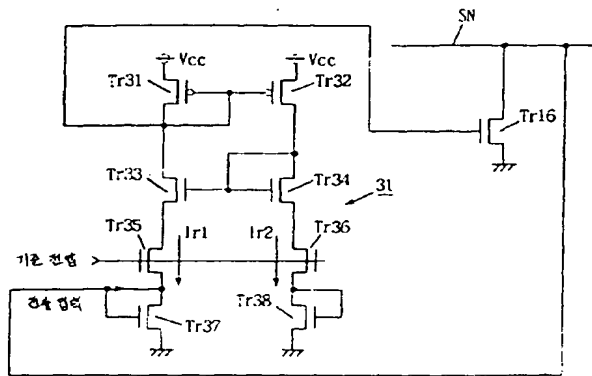
도면31



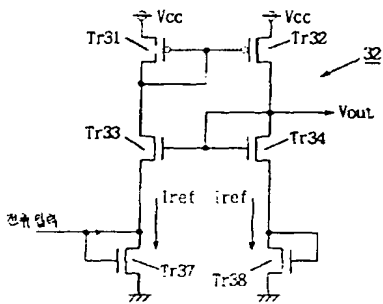
도면32



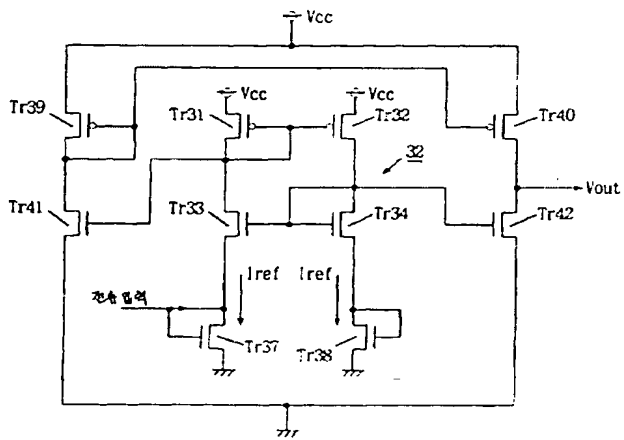
도면33



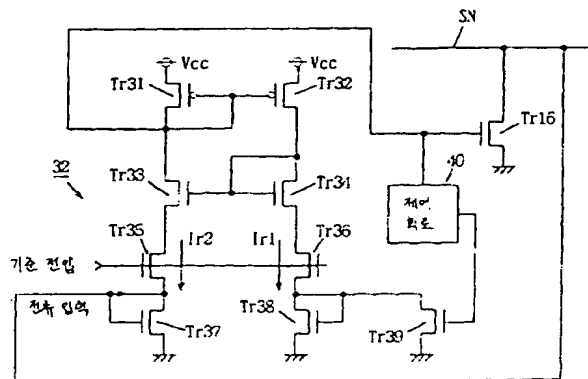
도면34



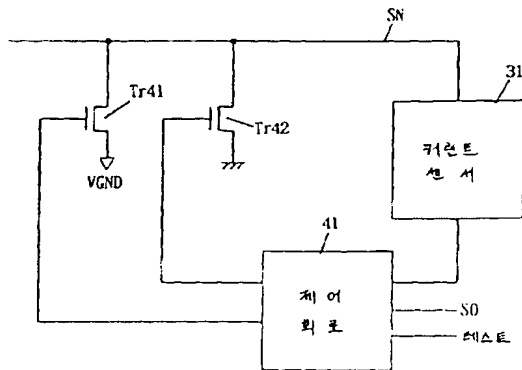
도면35



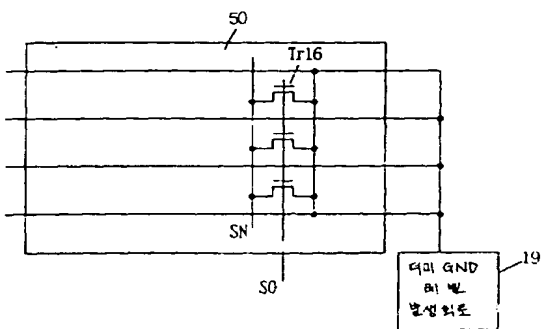
도면36



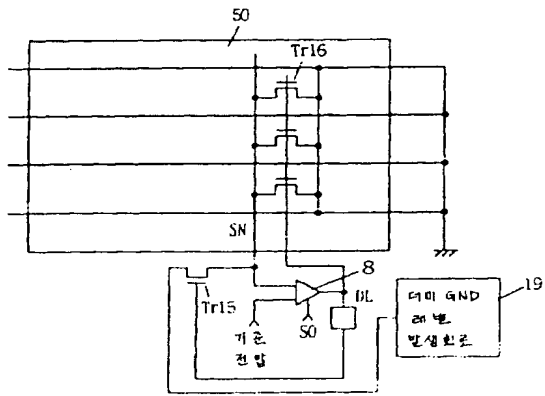
도면37



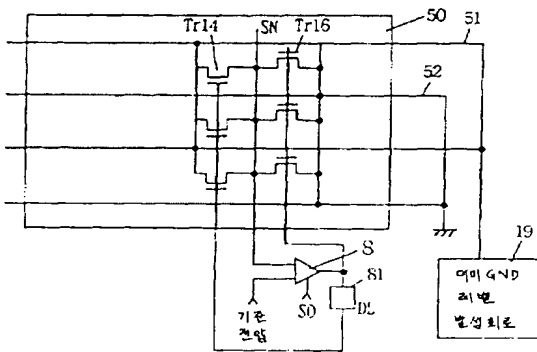
도면38



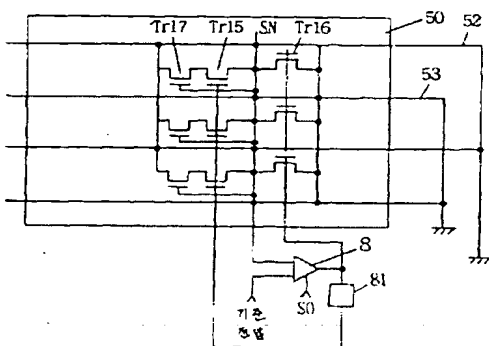
도면39



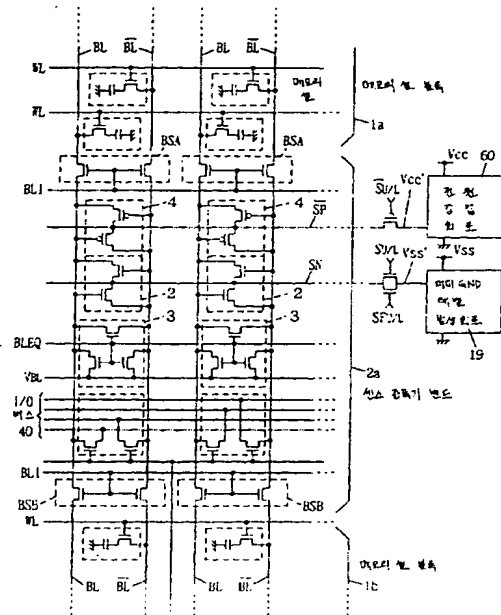
도면40



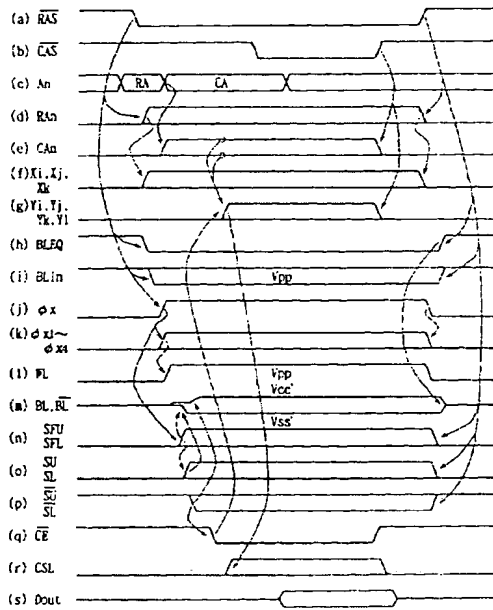
도면41



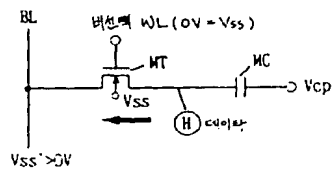
도면42



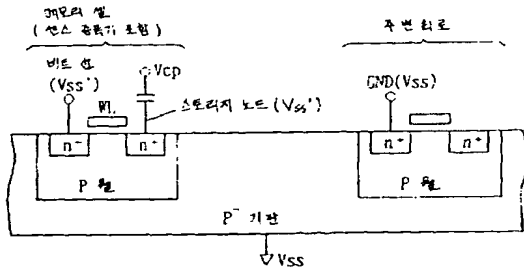
도면43



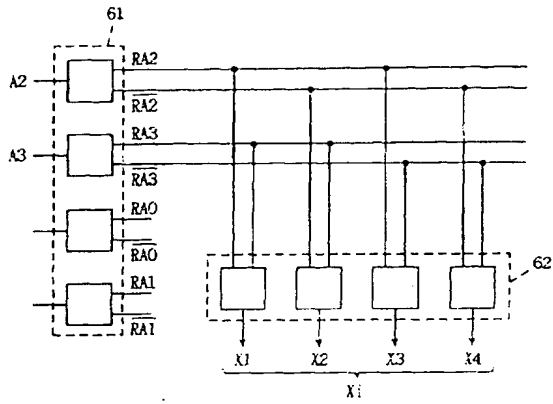
도면44



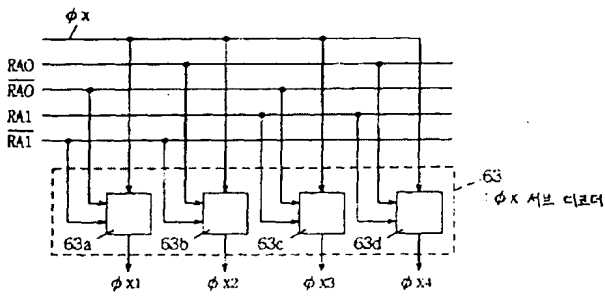
도면45



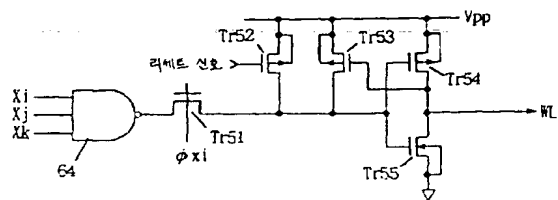
도면46



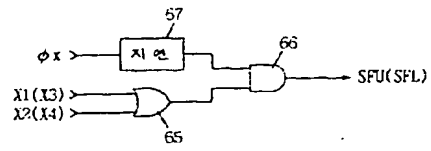
도면47



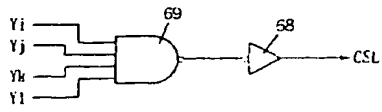
도면48



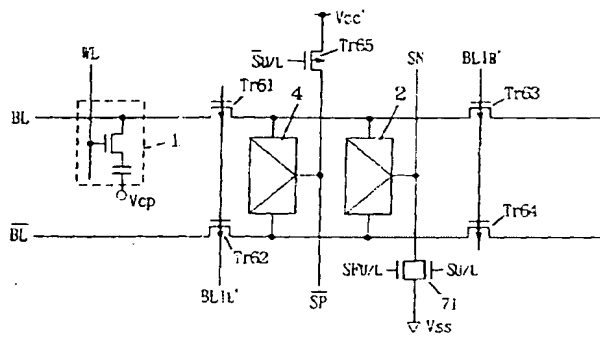
도면49



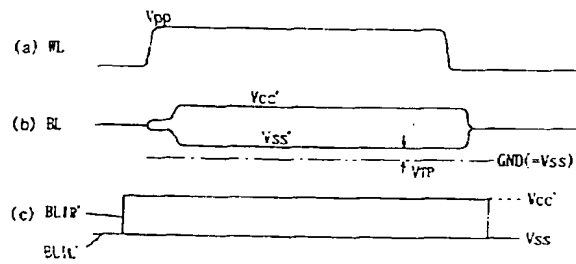
도면50



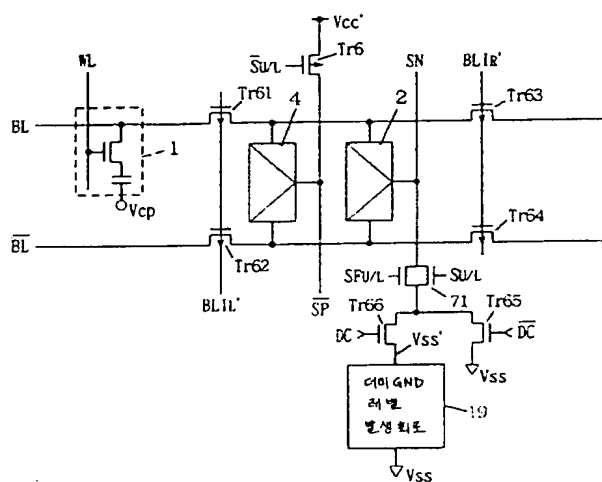
도면51



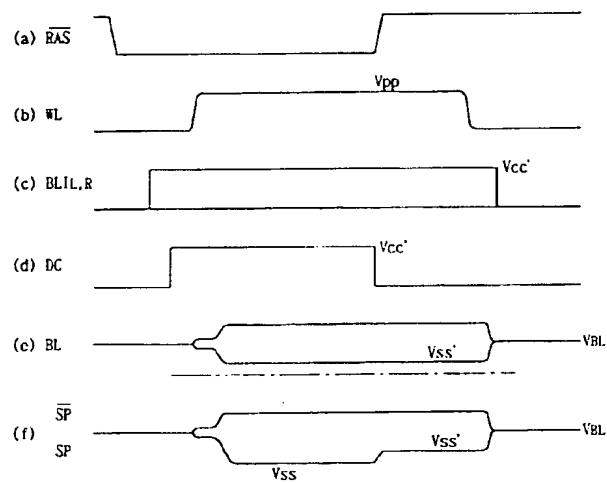
도면52



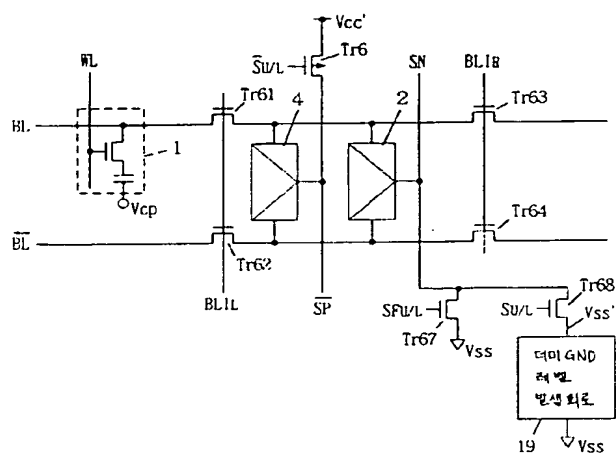
도면53



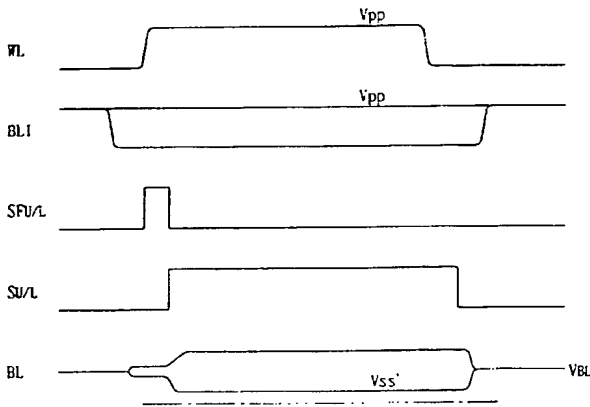
도면 54



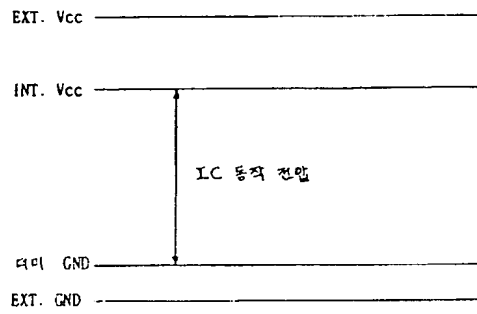
도면55



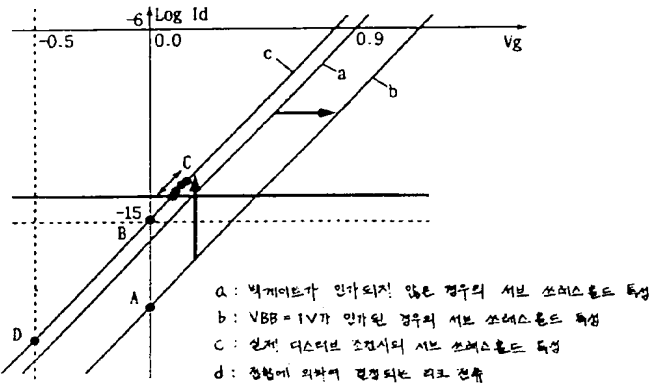
도면56



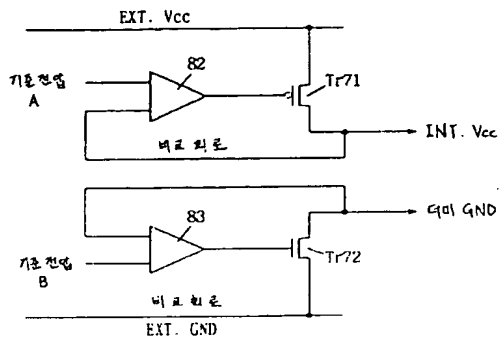
도면57



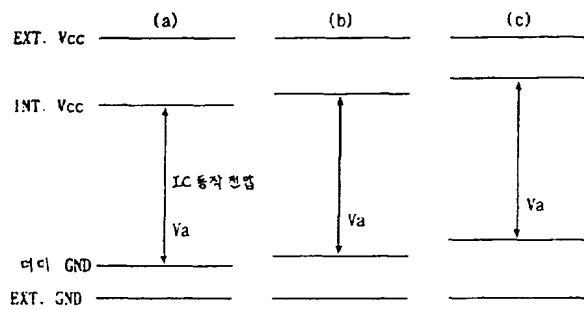
도면58



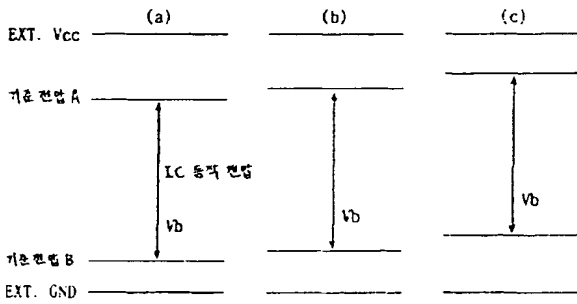
도면59



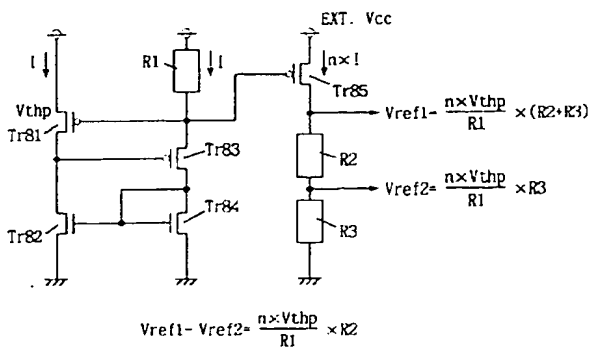
도면60



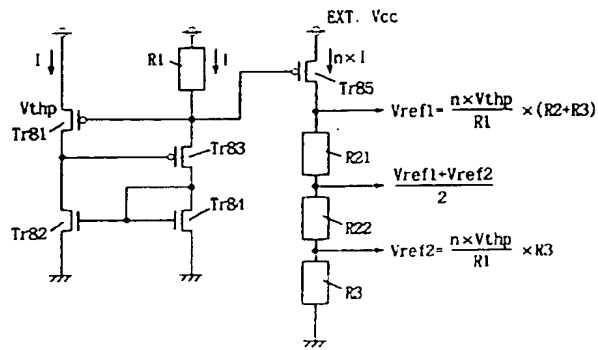
도면61



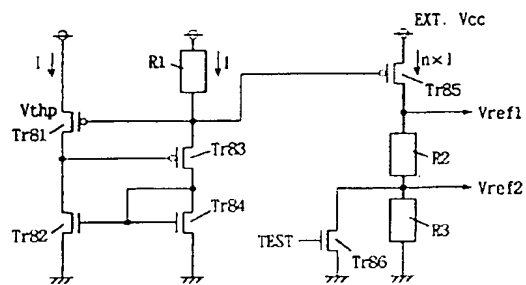
도면62



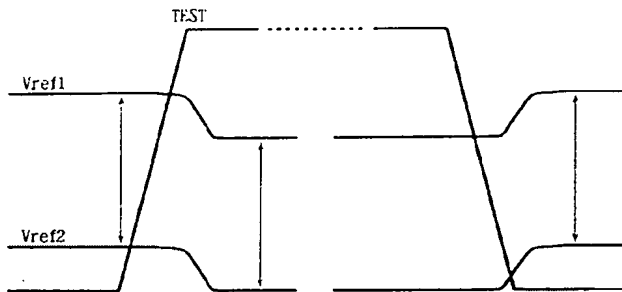
도면63



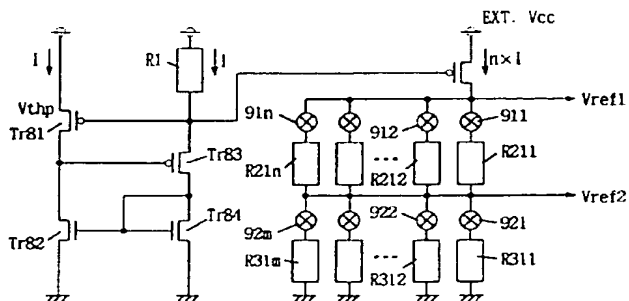
도면64



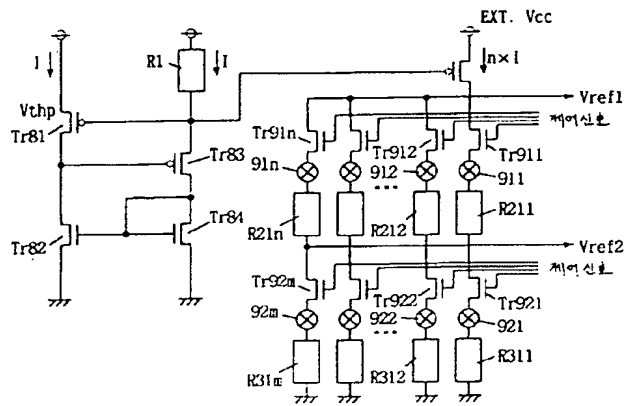
도면65



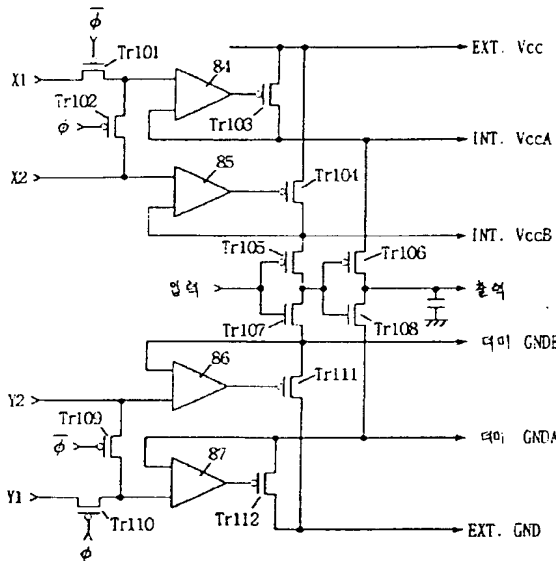
도면66



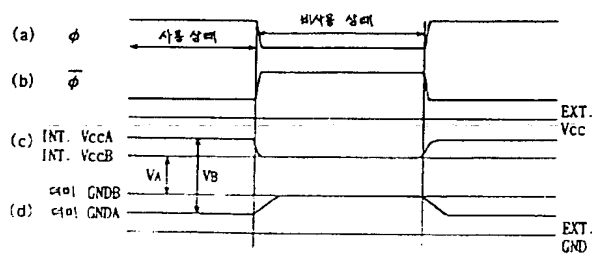
도면67



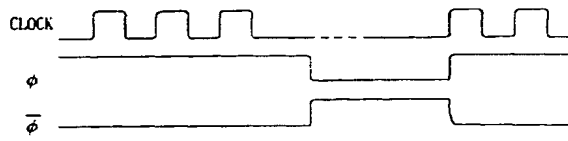
도면68



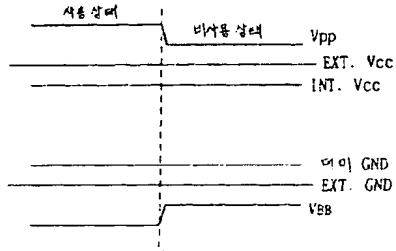
도면69



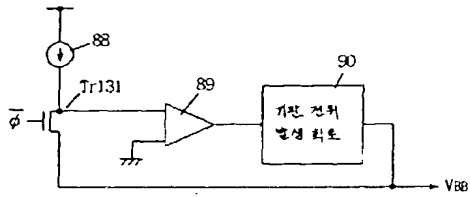
도면70



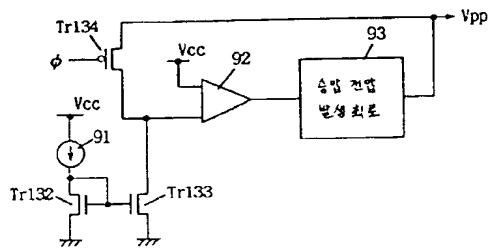
도면71



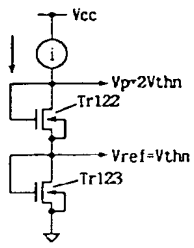
도면72



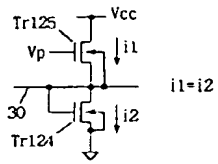
도면73



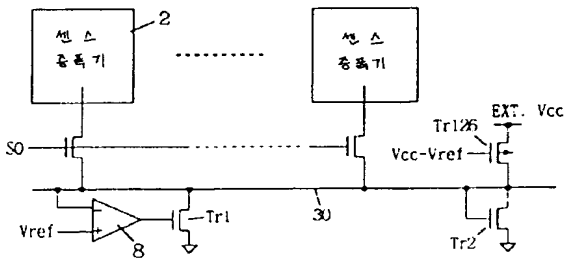
도면77



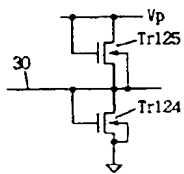
도면78



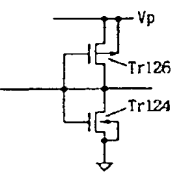
도면79



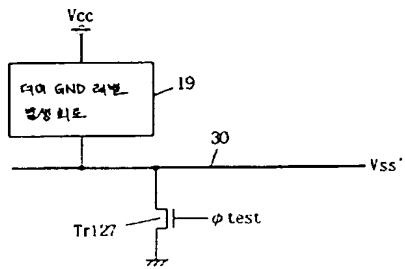
도면80



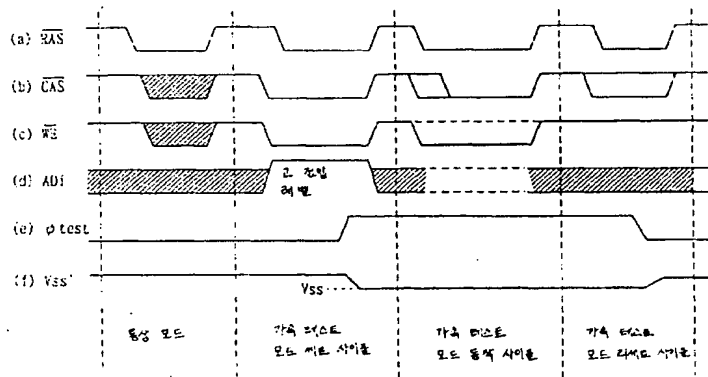
도면81



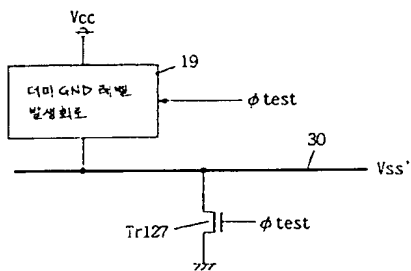
도면82



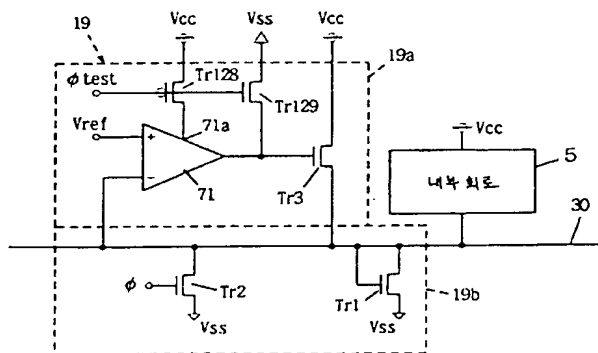
도면83



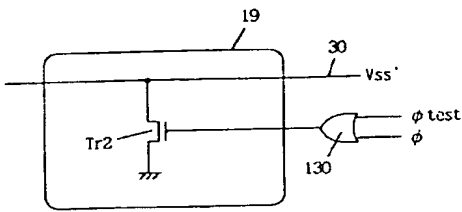
도면84



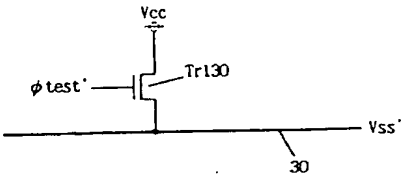
도면85



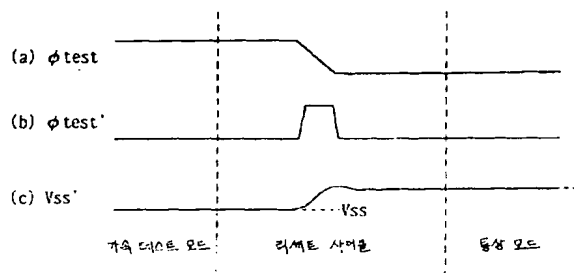
도면86



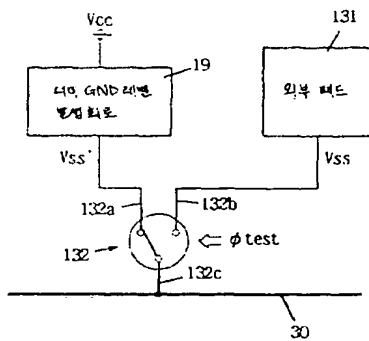
도면87



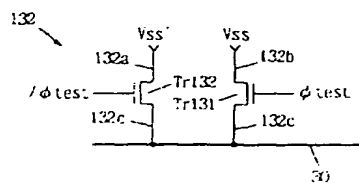
도면88



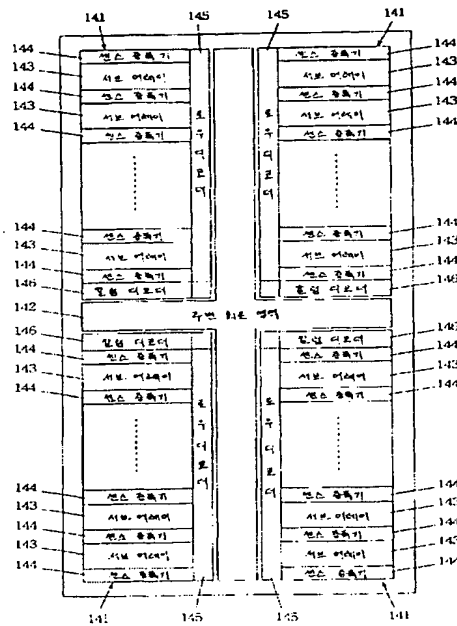
도면89



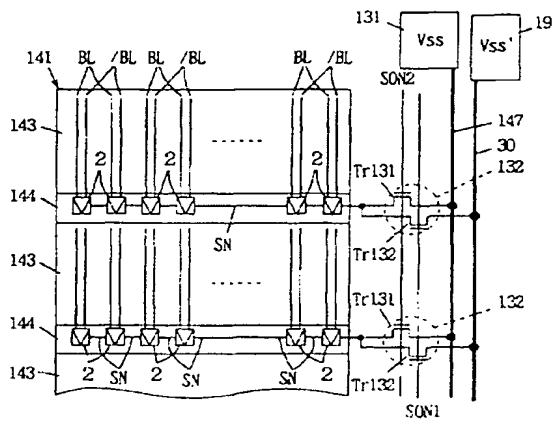
도면90



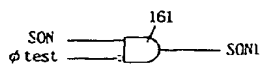
도면91



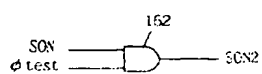
도면92



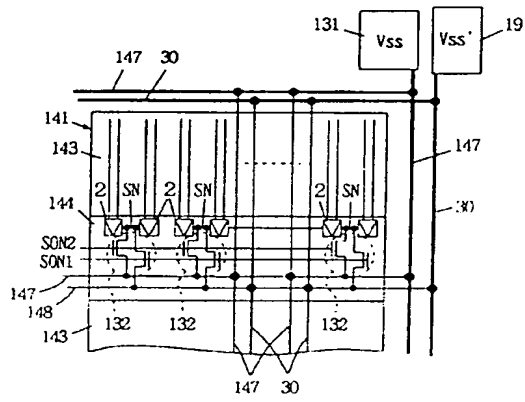
도면93



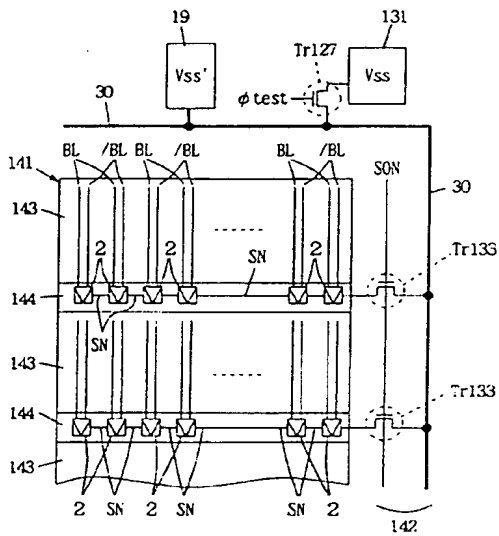
도면94



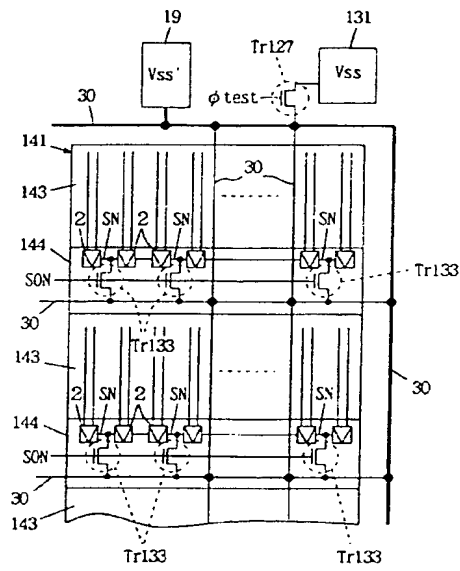
도면95



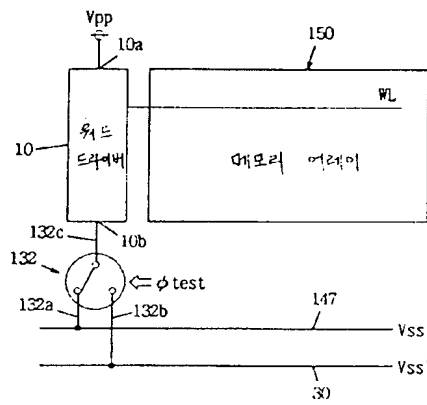
도면96



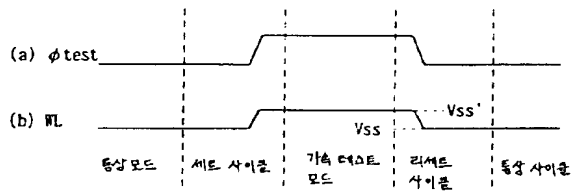
도면97



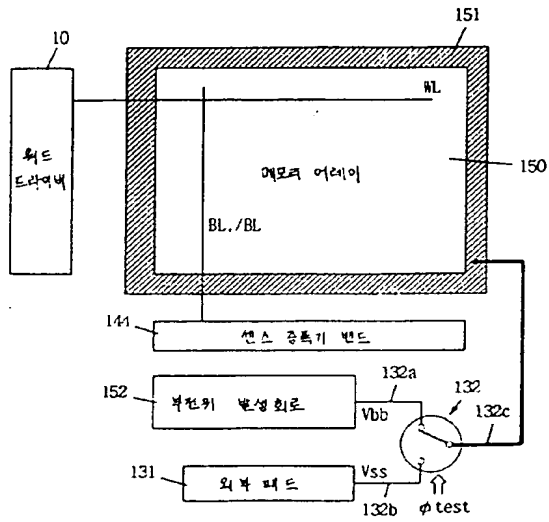
도면98



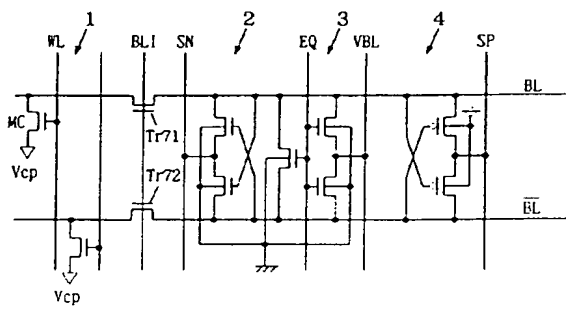
도면99



도면 100



도면 101



도면 102

